



Informe sobre la tecnología objetivo

Diseño de aceleradores basados en la tecnología RISCv para la próxima generación de computadoras (DRAC)

Código de Proyecto: 001-P-001723

Número de entregable:	E5.1.1
Nombre de entregable:	Informe sobre la tecnología objetivo
Periodo cubierto:	6 Meses previos al primer tapeout
Revisión:	01
Fecha límite del entregable:	31 Marzo, 2021
Fecha de entrega:	29 Junio, 2021
Fecha de inicio del proyecto:	1 June 2019
Duración:	36 M
Partner responsable del entregable:	Universitat de Barcelona (UB)
Autor (es) del entregable:	A. Dieguez, O. Alonso (UB)

Este proyecto está financiado por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del programa Operativo FEDER de Cataluña 2014-2020 con una financiación de 2.000.000€ y con el soporte de la Secretaria de Universidades e Investigación

Grado de divulgación		
PU	Público	X
CO	Confidencial, solo para miembros del consorcio	

Historia del documento

Versión	Fecha	Descripción/Cambios	Razones
01	21 Junio, 2021	Entregable enviado	

Índice

Historia del documento.....	2
Índice.....	3
Resumen ejecutivo.....	4
1 Objetivos del tapeout	5
2 Opciones tecnológicas	6
3 Fechas y coste de fabricación.....	6
4 Referencias.....	8

Resumen ejecutivo

Se recogen en este documento los objetivos y las opciones tecnológicas para la fabricación del primer chip en la fundición de semiconductores seleccionada (Globalfoundries 22nm).

1 Objetivos del tapeout

La memoria del proyecto especifica que se diseñarán y se enviarán a fabricar 2 chips dentro del proyecto DRAC, en particular 2 “Multi-Project-Wafer” (MPW). Aparte de un procesador RISC-V, cada chip debe incluir distintos diseños analógicos (IPs) para el correcto funcionamiento del procesador y/o sus aceleradores. En particular, las IPs diseñadas dentro del proyecto son:

- Phase-locked loop (PLL) [1]
- SerDes [2]
- Single Photon Avalanche Diodes (SPADs)

Tras diversas reuniones dentro del paquete de trabajo, el equipo de trabajo consideró necesario dividir el primer MPW en dos mini@sics. El motivo principal es el de asegurar el correcto funcionamiento de las IPs en el chip final, ya que se tendrá la oportunidad de probar y modificar el diseño durante los primeros tapeouts, si se precisa, para mejorar su rendimiento. Este cambio no tiene sobre coste y además permite validar las distintas IPs antes de añadirlas en el último chip a fabricar

La nueva planificación fue consensuada en la reunión del paquete de trabajo 5 (WP5) con fecha 10 de Febrero de 2021 y estando presentes representantes de las instituciones afectadas: Barcelona Supercomputing Center (BSC), Universitat Politècnica de Catalunya (UPC), Centro Nacional de Microelectrónica (CNM) y la Universitat de Barcelona (UB). En dicha reunión, también se planificaron las fechas donde se espera enviar a fabricar los chips en las siguientes fechas:

1. Julio 2021: Mini@sic 1 (E5.1.1)
2. Marzo 2022: Mini@sic 2 (E5.1.2)
3. Noviembre 2022: MPW (E5.1.3)

Destacar que estas fechas no están confirmadas, ya que pueden variar según la disponibilidad de la fundición de semiconductores y/o la disponibilidad de los diseños. También mencionar que esta planificación tiene sus riesgos, ya que cualquier retraso en el último tapeout implicaría que el chip se enviaría a fabricar fuera de proyecto.

Tal y como se ha comentado anteriormente, el primer tapeout, consiste en un mini@sic diseñado en el proceso de 22nm 22FDX de Globalfoundries. En concreto, para este chip se utilizarán las celdas digitales de mayor rendimiento y no se utilizará la polarización del sustrato. El tamaño del chip será de 1.25 mm x 1.25 mm e incluirá:

1. Un procesador RISC-V
2. Un PLL. El lazo se cerrará externamente ya que esto nos permite utilizar dicho PLL para suministrar un reloj “rápido” al procesador.
3. SPADs (se incluirán si la fundición de semiconductores nos permite saltarnos ciertas reglas de diseño)

La distribución del chip planificada se presenta en la Figura 1.1. En ella se puede observar el anillo de pads, la distribución de IPs y del procesador.

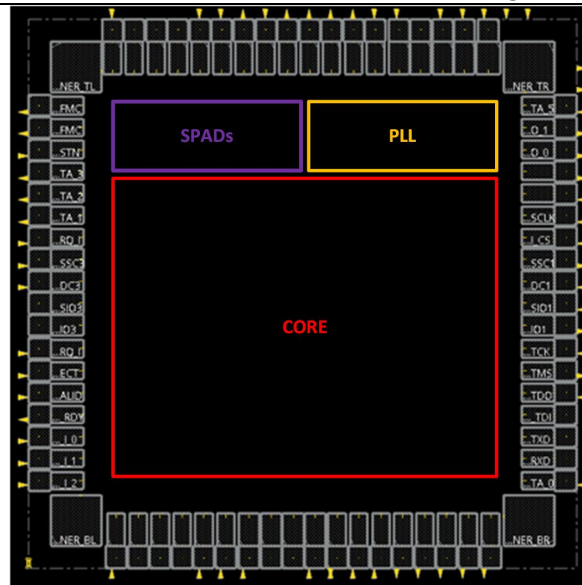


Figura 1.1 – Distribución de circuitos y pads en el chip.

2 Opciones tecnológicas

Aparte de servir para probar los primeros diseños, este primer prototipo nos permite iniciar la exploración tecnológica en la tecnología 22FDX de Globalfoundries. En particular, una de las ventajas de dicha tecnología es la de poder polarizar el sustrato con distintos voltajes para mejorar el rendimiento de los circuitos, o para reducir su consumo [3]. En este primer “run”, no nos aprovecharemos de esta particularidad ya que no hay espacio suficiente para añadir los pads necesarios para polarizar el sustrato.

Además, también se han definido el tipo de memorias y el tipo de pads a usar. En el caso de las memorias, se emplearán “high-performance register files”, aunque se decidirá más adelante la celda concreta a usar dependiendo del consumo de potencia que reporten las herramientas. En el caso de los pads, se ha escogido usar los pads “3.3 V area efficient, inline” ya que son los que mejor cumplen las restricciones del diseño.

Así pues, como resumen, se usarán las siguientes opciones tecnológicas en el chip:

- Zero Bias (sustrato cortocircuitado a masa)
- Memorias R1DH o R1PH
- 3.3 V Area Efficient PADS, inline

3 Fechas y coste de fabricación

La fabricación de los prototipos (tapeout) se realiza a través del consorcio Europractice mediante el servicio mini@asic. Las fechas de los mini@asic para este 2021 son [4]:

GLOBALFOUNDRIES mini@sic	Jan	Feb	Mar	Apr	May	Jun	Jul	Aug	Sep	Oct	Nov	Dec
GLOBALFOUNDRIES 22 nm FDSOI			22				19				15	

La fecha indicada es la fecha en la cual se debe registrar el diseño. El diseño ha de enviarse como máximo 6 semanas después de esta fecha. El primer diseño se ha registrado para el “run” de Julio. En particular, el diseño debe entregarse, como muy tarde, el 30 de Agosto. En caso de no poder llegar con la certeza de que el diseño funcionaria correctamente una vez fabricado, podríamos cancelar el “run” antes del 2 de Agosto sin ningún coste extra.

En el registro se indica que recibiremos 50 chips por un coste de ~24.900EUR para un área de fabricación de 1250um x 1250um en la que ha de caber el diseño.

4 Referencias

[1] Dean Banerjee, PLL Performance, Simulation, and Design, 5th Edition, SNAA106C, 2017. Available online: <https://www.ti.com.cn/cn/lit/ml/snaa106c/snaa106c.pdf>

[2] Dave Lewis, SerDes Architectures and Applications, DesignCon 2004. Available online: https://chenweixiang.github.io/docs/SerDes_Architectures_and_Applications.pdf.

[3] <https://globalfoundries.com/blog/fd-soi-how-body-bias-creates-unique-differentiation>

[4] <https://europractice-ic.com/schedules-prices/>