E6.4 Segundo informe de seguimiento de difusión y explotación

Información del Documento

Código del proyecto	C-IU16-001544-0002 (001-P-001723)
Página web del proyecto	www.drac.bsc.es
Fin del proyecto	31/12/2022
Periodo reportado	01/06/2020-31/12/2021
Nivel de difusión	Confidencial
Naturaleza	Entregable
Autor(es)	Alba Abia (BSC)
Contribuyente(s)	Renata Giménez (BSC)
Revisor(es)	Miquel Mortó (BSC), Antonio Espinosa (UAB), Oriol Farràs (URV)
Palabras clave	Comunicación, difusión, métricas de evaluación,

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Generalitat de Catalunya
Departament de Recerca i Universitats

Unió Europea
Fons Europeu de Desenvolupament Regional

Información del documento

Versión	Fecha	Autor	Comentarios
1	14/02/2022	Alba Abia	primera versión
2	23/03/2022	Alba Abia	Actualización de datos
3	02/05/2022	Antonio Espinosa	Revisión
4	16/05/2022	Alba Abia	Integración de las revisiones

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Índice

Índice de Ilustraciones 4
Índice de Tablas 5
1. Resumen Ejecutivo 6
2. Introducción 6
3. Objetivos 7
3.1. Comunicación y Difusión 7
3.2. Explotación y Transferencia de Tecnología 7
4. Difusión 8
4.1. Público Objetivo 8
4.2. Imagen Corporativa 9
4.2.1. Logo 9
4.2.2. Fuentes 10
4.2.3. Idioma 10
4.2.4. Plantillas del Proyecto 10
4.3. Herramientas de Difusión 15
4.3.1. Página Web 15
4.3.2. Redes Sociales 19
4.3.3. Conferencias y Eventos 21
4.3.4. Publicaciones Científicas 22
4.3.5. Cursos de Formación 23
4.3.6. Conferencia Final 24
4.4. Estrategia de Prensa 24
4.4.1. Noticias 25
4.5. Indicadores de Comunicación y Difusión 27
5. Explotación 29
5.1. Plan de Explotación 29
5.2. Activos Explotables 29
5.2.1. Activo #1 30
5.2.2. Activo #2 33
5.2.3. Activo #3 34
5.2.4. Activo #4 36
5.2.5. Activo #5 37
5.2.6. Activo #6 39
5.2.7. Activo #7 40
5.2.8. Activo #8 41
5.2.9. Activo #9 42
5.3. Outcomes 44
5.3.1. DEMOS [Demostradores de componentes que puedan ser relevantes para ser destacados / compartidos] 44
5.3.2. PROTOTIPO - [previos a implementación / entornos simulados / etc] 46
5.3.3. PROTOTIPO - Tape Outs [para implementaciones físicas] 47
5.3.4. Timeline 49
5.4. Modelo Canvas 50
5.5. Actividades de Explotación 53
5.6. Comité Industrial Asesor (Advisory Board) 56
5.7. Indicadores 58

DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Índice de Ilustraciones

Ilustración 1: Logo en color 9
Ilustración 2: Logo blanco y negro 9
Ilustración 3: Logo en Pantone 300 9
Ilustración 4: Logo en Pantone 298 10
Ilustración 5: Plantilla presentación – portada 11
Ilustración 6: Plantilla presentación - texto 11
Ilustración 7: Plantilla documento de texto – Portada 12
Ilustración 8: Plantilla documento de texto – Cuerpo 12
Ilustración 9: Plantilla de actas 13
Ilustración 10: Plantilla poster 14
Ilustración 11: Sesiones en la web de DRAC, M14-M31 16
Ilustración 12: Visitantes nuevos frente a recurrentes en el sitio web de DRAC, M14-M31 17
Ilustración 13: Canales de fuentes de tráfico para el sitio web de DRAC, M14-M31 17
Ilustración 14: Páginas más visitadas del sitio web del DRAC, M14-M31 18
Ilustración 15: Sesiones en el sitio web del DRAC por país (10 países principales), M14-M19 .. 18
Ilustración 16: Sesiones en el sitio web del DRAC por país (10 países principales), M14-M31 .. 19
Ilustración 17: Publicación en redes sociales con mayor repercusión (Linkedin) 20
Ilustración 18: Modelo CANVAS DRAC 52

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Índice de Tablas

Tabla 1: Público objetivo 8
Tabla 2: Principales indicadores de la web de DRAC, M14-M31 15
Tabla 3: Listado de las cuentas en redes sociales utilizadas por DRAC 19
Tabla 4: Actividad en redes sociales con #DRACproject o #DRAC 20
Tabla 5: Eventos de interés para la comunidad DRAC 21
Tabla 6: Publicaciones científicas de los socios de DRAC 23
Tabla 7: Recortes de prensa relacionados con el proyecto DRAC 25
Tabla 8: Noticias técnicas elaboradas por los socios de DRAC 26
Tabla 9: Noticias no técnicas publicadas en la web de DRAC 26
Tabla 10: Indicadores de comunicación 28
Tabla 11: Activo #1 32
Tabla 12: Activo #2 34
Tabla 13: Activo #3 35
Tabla 14: Activo #4 37
Tabla 15: Activo #5 38
Tabla 16: Activo #6 40
Tabla 17: Activo #7 41
Tabla 18: Activo #8 42
Tabla 19: Activo #9 43
Tabla 20: Outcome #1 44
Tabla 21: Outcome #2 45
Tabla 22: Outcome #3 46
Tabla 23: Outcome #4 46
Tabla 24: Outcome #5 47
Tabla 25: Outcome #6 47
Tabla 26: Outcome #7 48
Tabla 27: Outcome #8 48
Tabla 28: Outcome #9 49
Tabla 29: Calendario de desarrollo de los outcoms y de los procesadores 49
Tabla 30: Procesadores utilizados en los activo del proyecto 50
Tabla 31: Uso que se le quiere dar a los resultados 55
Tabla 32: Miembros del Consejo Asesor 57
Tabla 33: Indicadores 58

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

1. Resumen Ejecutivo

Este documento recoge el progreso de las actividades de comunicación, difusión y explotación siguiendo con la estrategia de difusión y explotación descrita en los documentos E6.1 Plan de Difusión y E6.2 Plan de Explotación. De esta forma, se garantiza la coherencia y efectividad de las actividades del proyecto que incluye actividades en materia de procesadores, así como la creación de una comunidad en torno al proyecto.

El consorcio se beneficia de los canales de comunicación de cada socio (como páginas web y redes sociales propias), así como de los contactos industriales y académicos ya existentes, lo que tiene un efecto multiplicador en los esfuerzos de comunicación y de transferencia de tecnología del proyecto especificados.

Además, las actividades de comunicación externa van muy ligadas a la tarea de transferencia de tecnología que pretende explotar al máximo los resultados del proyecto para, de esta forma, obtener el mayor retorno posible a la sociedad.

2. Introducción

El objetivo de este informe es presentar una lista detallada de las actividades de difusión y transferencia de tecnología, que se han llevado a cabo desde el inicio del proyecto en junio de 2019, hasta diciembre de 2022, según lo previsto en los documentos E6.1 Plan de Comunicación y el E6.2 Plan de Transferencia de tecnología y actualizando el documento E6.3 Primer informe de seguimiento de difusión y explotación. Por ello se han actualizado los siguientes apartados:

- 4.3 Herramientas de Difusión
- 4.4 Estrategia de Prensa
- 4.5 Indicadores de Comunicación y Difusión
- 5.2 Activos Explotables
- 5.3 Outcomes
- 5.5 Actividades de Explotación
- 5.6 Comité Industrial Asesor (Advisory Board)
- 5.7 Indicadores

Las actividades se llevaron a cabo con el objetivo de que DRAC se convierta en un punto de referencia en el campo del diseño de procesadores RISC-V y construya una comunidad más amplia a su alrededor.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

3. Objetivos

3.1. Comunicación y Difusión

El objetivo general del proyecto 6 de DRAC es maximizar el impacto del proyecto, aumentar la conciencia e involucrar a las partes interesadas clave. Los objetivos específicos de difusión y comunicación del proyecto DRAC son los siguientes:

- Promover y difundir las actividades de investigación de DRAC en Cataluña, así como fortalecer la comunidad de computación de altas prestaciones (o HPC, en sus siglas en inglés) en Cataluña.
- Comunicar los resultados del proyecto a nivel internacional, en las comunidades científicas e industriales relacionadas con el proyecto.
- Desarrollar una estrategia que maximice la difusión de las noticias para que lleguen a personas potencialmente interesadas.

3.2. Explotación y Transferencia de Tecnología

La transferencia del conocimiento y de los resultados del proyecto DRAC por parte de los integrantes del consorcio entre las universidades y los centros de investigación, forma parte de los objetivos específicos del proyecto a la vez que es un compromiso importante para el proyecto DRAC.

Con el fin de acercar los resultados del proyecto a las necesidades del sector industrial en Cataluña, el consorcio formado por universidades y centros de investigación, cuenta con el soporte de importantes empresas del sector industrial, como es el caso de RDI Network y nVision, las cuales han mostrado su interés en esta agrupación tecnológica, y están interesadas en la futura explotación de resultados del proyecto DRAC (véase el Anexo "Cartes de Suport" de esta propuesta para obtener la lista completa de las cartas de apoyo al proyecto DRAC). Los objetivos generales de la Explotación y Transferencia de Tecnología en DRAC son:

- La transferencia de la tecnología desarrollada en DRAC a las empresas locales, así como a empresas internacionales.
- La transferencia de la tecnología DRAC al entorno universitario catalán en forma de kits educacionales basados en los diseños realizados por esta agrupación tecnológica.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4. Difusión

4.1. Público Objetivo

Las actividades de comunicación y difusión se dirigirán al siguiente público objetivo:

- Comunidad científica y centros de investigación
- Industria
- Colaboradores (Centros tecnológicos y de innovación)
- Socios del proyecto
- Estudiantes

Una vez definidos los públicos objetivo para el DRAC, en la tabla más abajo se detallan los mensajes adecuados a cada uno de los públicos objetivo:

Público Objetivo	Mensaje
Comunidad científica y centros de investigación	(1) Difundir los resultados alcanzados. (2) Ofrecer formación en el uso de nuestra tecnología
Industria	(1) Mejorar el rendimiento de sus sistemas con un menor consumo; (2) Acelerar las operaciones cruciales de operaciones de seguridad, medicina personalizada basada en el análisis genómico y/o conducción autónoma.
Colaboradores (Centros tecnológicos y de innovación)	(1) Dar a conocer la tecnología desarrollada en DRAC y conocer sus aplicaciones
Socios del proyecto	(1) Aprovechar de los contactos existentes con otras organizaciones para difundir con conceptos clave en DRAC
Estudiantes	(1) Descubrir herramientas y la tecnología con nuestro kit educacional basado en procesadores RISC-V. (2) Aprender conceptos básicos de arquitectura de computadores a partir de los diseños RISC-V (3) Aprender cómo explotar eficientemente el hardware y ofrecer computación de bajo consumo. (4) Desarrollar habilidades complejas de resolución de problemas computacionales a través de RISC-V.

Tabla 1: Público objetivo

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.2. Imagen Corporativa

Se ha elaborado un logo para el proyecto que permite ser usado sobre diferentes fondos.

4.2.1. Logo

Ilustración 1: Logo en color

Ilustración 2: Logo blanco y negro

Ilustración 3: Logo en Pantone 300

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Ilustración 4: Logo en Pantone 298

4.2.2. Fuentes

La tipología corporativa es la familia Calibri, será la fuente de uso genérico en todos los soportes y documentos, tanto internos como externos.

Respecto a los títulos, se utilizará el azul de la imagen corporativa (R0 / G96 / B168). En los documentos de texto de Google Drive, este color corresponde al #98c21d.

4.2.3. Idioma

El idioma oficial del proyecto es el catalán y el castellano. Sin embargo, el material de difusión debe traducirse a los diferentes idiomas dentro del consorcio, cuando sea posible. Excepcionalmente, en casos de material exclusivamente internacional se utilizará el inglés como idioma principal de difusión. Cada socio debe asegurarse de que los materiales se traduzcan adecuadamente a los idiomas más oportunos para maximizar la difusión: catalán, castellano e inglés.

4.2.4. Plantillas del Proyecto

Se han elaborado plantillas de todos aquellos formatos que se prevee que se utilicen en el marco del proyecto como plantillas de presentación, poster, entregables, etntre otras. Todas las plantillas del proyecto pueden encontrarse en el gitlab (repositorio del proyecto). Las plantillas pueden ser modificadas según las necesidades del contenido, siempre y cuando la imagen del proyecto no se distorsione. Estas han sido actualizadas para actualizar el logo del Departament de Recerca i Universitats.

Se han actualizado todas las plantillas actualizando los nuevos logos del Departament de Recerca i Universitats de la Generalitat de Catalunya.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.2.4.1. Plantilla de presentación

Se han elaborado dos plantillas para presentaciones con formato 4:3 y 16:9.

Ilustración 5: Plantilla presentación – portada

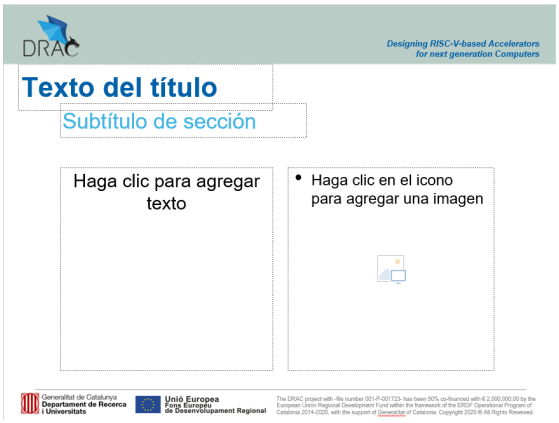


Ilustración 6: Plantilla presentación - texto

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.2.4.2. Plantillas de Entregables

Ilustración 7: Plantilla documento de texto – Portada

Ilustración 8: Plantilla documento de texto – Cuerpo

4.2.4.3. Plantilla de Actas

DRAC

Minuta Reunión xxxxxxx del Proyecto X

XX/XX/20XX

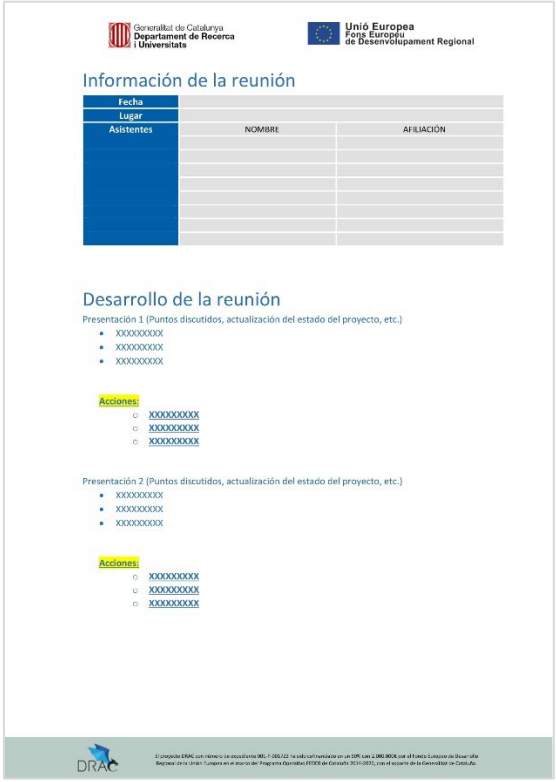
Información del Documento

Código del proyecto	C-IU16-001544-0002 (001-P-001723)
Página web del proyecto	www.drac.bsc.es
Plazo contractual	30/09/2020
Nivel de difusión	Público/Confidencial
Naturaleza	Entregable/Documento interno
Autor(es)	
Contribuyente(s)	
Revisor(es)	
Palabras clave	

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Generalitat de Catalunya Departament de Recerca i Universitats

Unió Europea Fons Europeu de Desenvolupament Regional



Generalitat de Catalunya Departament de Recerca i Universitats

Unió Europea Fons Europeu de Desenvolupament Regional

Información de la reunión

Fecha		
Lugar		
Asistentes	NOMBRE	AFILIACIÓN

Desarrollo de la reunión

Presentación 1 (Puntos discutidos, actualización del estado del proyecto, etc.)

- XXXXXXXXX
- XXXXXXXXX
- XXXXXXXXX

Acciones:

- XXXXXXXXX
- XXXXXXXXX
- XXXXXXXXX

Presentación 2 (Puntos discutidos, actualización del estado del proyecto, etc.)

- XXXXXXXXX
- XXXXXXXXX
- XXXXXXXXX

Acciones:

- XXXXXXXXX
- XXXXXXXXX
- XXXXXXXXX

DRAC

Ilustración 9: Plantilla de actas

4.2.4.4. Plantilla de Posters

DRAC

Titulo del trabajo

Autor 1; Autor 2; Autor 3; Autor 4

Abstract

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas e instituciones están muy interesadas en este proyecto y por este motivo han proporcionado una carta de apoyo a la propuesta DRAC. Por otro lado, las entidades académicas participantes en la propuesta, como propietarios de la propiedad intelectual generada, podrán también comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción. Además, el coordinador de esta propuesta, el Barcelona Supercomputing Center, tiene un rol de liderazgo en el (EPI).

Introducción

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas e instituciones están muy interesadas en este proyecto y por este motivo han proporcionado una carta de apoyo a la propuesta DRAC. Por otro lado, las entidades académicas participantes en la propuesta, como propietarios de la propiedad intelectual generada, podrán también comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción. Además, el coordinador de esta propuesta, el Barcelona Supercomputing Center, tiene un rol de liderazgo en el (EPI).

Metodología

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas están interesadas en el proyecto y por ello han proporcionado una carta de apoyo a la propuesta DRAC. Las entidades participantes, como propietarios de la PI generada, podrán comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción.

Conclusiones

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas están interesadas en el proyecto y por ello han proporcionado una carta de apoyo a la propuesta DRAC. Por otro lado, las entidades académicas participantes en la propuesta, como propietarios de la propiedad intelectual generada, podrán también comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción. Además, el coordinador de esta propuesta, el Barcelona Supercomputing Center, tiene un rol de liderazgo en el European Processor Initiative (EPI). Este proyecto europeo financiado con 120 millones de euros busca diseñar y fabricar un procesador europeo de altas prestaciones que pueda ser usado en un centro de supercomputación europeo en el año 2023. En EPI, el BSC y SemiDynamics diseñarán un acelerador vectorial basado en la ISA RISC-V. Este acelerador tendrá un diseño muy conservador usando arquitecturas en orden para asegurar que funcione correctamente en el corto plazo del proyecto. Sin embargo, el procesador de propósito general en EPI estará basado en la ISA Armv8.

Bibliografía

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas e instituciones están muy interesadas en este proyecto y por este motivo han proporcionado una carta de apoyo a la propuesta DRAC. Por otro lado, las entidades participantes, como propietarios de la propiedad intelectual generada, podrán también comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción.

Agradecimientos

La tecnología desarrollada en el proyecto DRAC permitirá reforzar la competitividad del tejido empresarial catalán, especialmente de las pymes que trabajan en diseño hardware (como son SemiDynamics, Silicon Gears o eSilicon), centros de investigación que podrán usar esta tecnología (Centro Nacional de Análisis Genómico y Centro Nacional de Microelectrónica). Estas empresas e instituciones están muy interesadas en este proyecto y por este motivo han proporcionado una carta de apoyo a la propuesta DRAC. Por otro lado, las entidades participantes, como propietarios de la propiedad intelectual generada, podrán también comercializar su uso con la industria y tener un rol clave en futuros proyectos de investigación sobre seguridad, genómica y automoción.

Generalitat de Catalunya Departament de Recerca i Universitats

Unió Europea Fons Europeu de Desenvolupament Regional

El proyecto DRAC, con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Ilustración 10: Plantilla poster

4.3. Herramientas de Difusión

4.3.1. Página Web

La página web pública (https://drac.bsc.es/) desempeña un papel central, ya que es el medio más importante para difundir los resultados y actividades del proyecto y proporciona información general sobre los objetivos del proyecto, actividades actuales, publicaciones y resultados del proyecto. El sitio web está diseñado para ser receptivo y puede adaptarse a todos los dispositivos de uso común: computadoras de escritorio, computadoras portátiles, teléfonos inteligentes y tabletas.

El sitio web está diseñado con un sistema de gestión de contenido llamado Drupal. Este sistema está gestionado por el programador web ubicado en el equipo de Operaciones del Centro de Supercomputación de Barcelona (BSC). El BSC también ha adquirido el dominio del sitio web.

El líder de difusión en el BSC, en colaboración con los socios del proyecto, es la principal persona responsable de editar el contenido del sitio web, los resultados del sitio web, los comentarios y las estadísticas web. El sitio web se actualiza periódicamente con la información más actualizada, así como los últimos eventos en los que participan los investigadores de DRAC (página de eventos), y noticias frecuentes con información técnica sobre el proyecto o resumen de los eventos a los que se asistió (página de noticias). Además, se creó un calendario editorial para generar noticias de todos los socios. Dicha noticia ha de ser de carácter técnico ya que según los análisis de usuarios que se puede encontrar más adelante en este mismo informe, las noticias con más impacto son las que contienen datos sobre el progreso técnico de DRAC.

Se ha implementado una herramienta de analíticas web (Google Analytics) para obtener información relevante sobre el comportamiento del público objetivo y tomar decisiones con respecto a su contenido, si fuera necesario. Esta herramienta de análisis ayuda al equipo de difusión a conocer la efectividad de la difusión y los resultados del análisis, que se incluirán más adelante.

Durante los 19 meses de creación la página web del proyecto, en mayo de 2020, la actuación del sitio web ha sido satisfactorio. El sitio web se lanzó en junio de 2020 cumpliendo con los requisitos técnicos de rendimiento y seguridad. La web se actualiza mensualmente con noticias de carácter científico y con noticias relevantes del proyecto cada mes aproximadamente. Los datos se han analizado comparándolos con los del primer informe, se han establecido dos periodos de 6 meses, el primero del M14 al M19 (7/2020-12/2020), el segundo del M20 al M25 (01/2021-06/2021) y el tercero M26 al M31 (07/2021-12/2021). La referencia de los meses viene dada por el inició oficial del proyecto (M1) siendo el mes 13 (M13) el lanzamiento de la web.

Los datos que se recogen de dicha actividad son los siguientes:

Periodo reportado	Sesiones	Usuarios	Nuevos Usuarios	Visitas a la página	Promedio Duración de la sesión
M14 – M19	624	503	500	2.621	00:03:36
M20 – M25	878	681	676	2.138	00:01:42
M26 - M31	900	748	731	2.143	00:01:35

Tabla 2: Principales indicadores de la web de DRAC, M14-M31

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Se entiende por usuario, el número de personas que han consultado la web por lo menos una vez durante el periodo seleccionado. El concepto sesiones se entiende por el número de usuarios que han interactuado con el sitio web teniendo una inactividad de menos de 30 minutos.

Los principales indicadores del sitio web de DRAC, como se informa en la Tabla 2 anterior, muestran que la página está aumentando su visibilidad. El número total de sesiones durante el período M14-M19 (6 meses) es de 624, mientras que este número llegó a 900 en el periodo M26 – M31.

El número total de usuarios durante el período M14-M19 es de 503 aumentando a 748 en el periodo M26-M31. El número total de páginas vistas disminuyó de 2.621 entre M26-M31 a 2.143 entre M25-M36. De la misma forma, la duración promedio de la sesión disminuyó durante el tercer período.

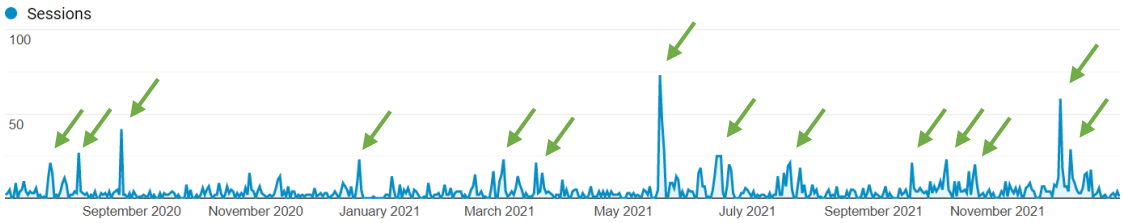


Ilustración 11: Sesiones en la web de DRAC, M14-M31

Al observar el flujo de sesiones diarias a lo largo del período del informe (Ilustración 11), observamos varios picos en el número de sesiones que se pueden asociar con actividades de difusión en ese momento, como eventos, conferencias, etc. Por ejemplo, un alto número de sesiones se observa cuando se lanza la publicación del envío a fabricar del procesador DVINO en la cuenta de Twitter del BSC. Esta noticia corresponde al pico de sesiones más grande el 19/05/2021 con un valor máximo de 73 sesiones en un día. Los días posteriores a la publicación se siguen registrando valores altos de usuarios, 46 el 20 de mayo de 2021 y 29 el 21 de mayo de 2021. El siguiente día con mayor número de usuarios en la web de FusionCAT es el 2 de diciembre de 2021 con un total de 59 sesiones. Ese mismo día se llevaron a cabo dos acciones de difusión, se publicó en redes sociales la noticia técnica sobre el procesador Lagarto Ka y se llevó a cabo el encuentro en formato hibrido, online y presencial, organizado por El Mundo y Actualidad Económica, con la colaboración de Fundación "la Caixa", *Ciclo Desafíos del s. XXI. Mateo Valero. Supercomputación y retos del futuro*. El tercer pico más alto, se alcanzó el 27 de agosto de 2021 con 41 sesiones. Se identifican 3 picos más con un total de sesiones diarias superiores a 25, estos corresponden al 7 de diciembre de 2021 con 29, el 6 de agosto de 2020 con 27 y al 16,17 y 18 de junio 2021 con 25 sesiones diarias seguidas. Estos picos se identifican respectivamente con el evento RISC-V Summit 2021**,** la publicación en RRSS sobre la primera reunión anual de proyecto y publicación en redes sociales de las noticias técnicas de la UAB *Acelerador FPGA del algoritmo wavefront para el alineamiento de secuencias genómicas* y del CNM *Nuevo PLL para el procesador DVINO, un nuevo miembro de la familia Lagarto RISC-V*.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

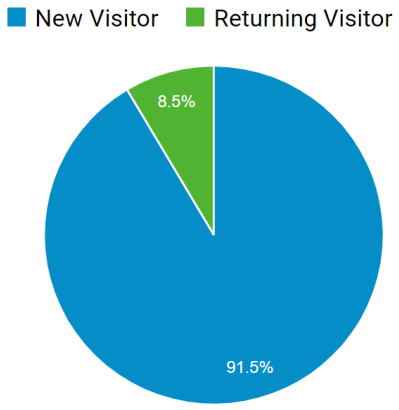


Ilustración 12: Visitantes nuevos frente a recurrentes en el sitio web de DRAC, M14-M31

El 91,5% (1.904) de los visitantes del sitio web de DRAC son nuevos como se muestra en la Figura 12 anterior. Al observar los canales principales de la página (Figura 13 a continuación), también vemos que las tres fuentes principales son las visitas directas (55,5%), seguida de las búsquedas orgánicas (27,3%) y de las redes sociales (10,6%).

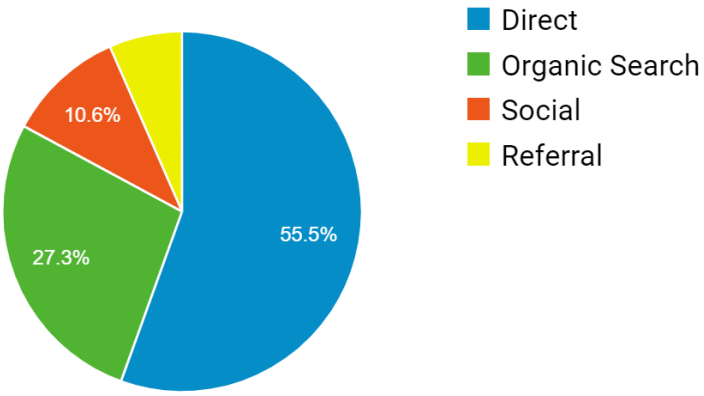


Ilustración 13: Canales de fuentes de tráfico para el sitio web de DRAC, M14-M31

Además, las páginas más visitadas del sitio web de DRAC se muestran en la Figura 14 a continuación. La mayoría de las visitas a las páginas se concentran en la página de inicio (21,2%), seguida por la de noticias (9,4%), por la de la información del proyecto (7,1%) y por la de publicaciones científicas (6,2%). En esta tabla también destaca la página de la noticia de Lagarto Ka que coincide con un pico de visitantes del 2 de diciembre de 2021 de la ilustración 11 cuando el link de la publicación se hizo público en las redes sociales.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

	Page Title	Page Views	% Page Views
1.	Inici | DRAC project	1,018	11.60%
2.	Home | DRAC project	843	9.60%
3.	Notícies | DRAC project	488	5.56%
4.	Sobre DRAC | DRAC project	451	5.14%
5.	Publicacions | DRAC project	301	3.43%
6.	Publicaciones | DRAC project	239	2.72%
7.	Noticias | DRAC project	171	1.95%
8.	News | DRAC project	169	1.93%
9.	About DRAC | DRAC project	168	1.91%
10.	[Tech] Lagarto Ka: El núcleo de alto ren dimiento para DRAC | DRAC project	153	1.74%

Ilustración 14: Páginas más visitadas del sitio web del DRAC, M14-M31

En la Figura 15 se muestra el país de origen de las sesiones durante el primer periodo en el que la web de DRAC fue visible (M14 a M19). En la Figura 16, se muestran los mismos datos durante todo el periodo en que la web a estado abierta (M14 a M31). Como se muestra en la Figura 15, la mayoría de las sesiones de los primeros 6 meses, el 65%, se realizan desde España donde se encuentran todos los socios de DRAC (BSC, UAB, UB, UPC y URV). Le siguen otros países, como China con un 24% y Japón, Alemania y Reino Unido con porcentajes menores al 4%. En la Figura 16, vemos el país con más visitas sigue siendo España (68%) que continúa seguido por China (7%). El resto de países desde los que se ha iniciado sesión durante toda la duración del proyecto son México (país de origen del antecesor de DRAC) con un 6% de la cuota, Estados Unidos con un 5%, seguidos por Francia, Reino Unido, Alemania, Italia, Japón e india con menos de un 2% de la cuota.

	Country	Users	% Users
1.	Spain	328	64.95%
2.	China	121	23.96%
3.	Japan	19	3.76%
4.	Germany	9	1.78%
5.	United Kingdom	6	1.19%
6.	Switzerland	4	0.79%
7.	India	4	0.79%
8.	Mexico	3	0.59%
9.	United States	3	0.59%
10.	France	2	0.40%

Ilustración 15: Sesiones en el sitio web del DRAC por país (10 países principales), M14-M19

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

	Country	Users	% Users
1.	Spain	1,279	66.75%
2.	China	137	7.15%
3.	Mexico	116	6.05%
4.	United States	98	5.11%
5.	France	38	1.98%
6.	United Kingdom	29	1.51%
7.	Germany	27	1.41%
8.	Italy	24	1.25%
9.	Japan	23	1.20%
10.	India	21	1.10%

Ilustración 16: Sesiones en el sitio web del DRAC por país (10 países principales), M14-M31

4.3.2. Redes Sociales

Durante la duración de DRAC, se utilizan los canales de redes sociales existentes de los socios de la agrupación para difundir el proyecto DRAC puesto que estos canales ya disponen de una comunidad fiel y seguidora. Las publicaciones del proyecto deben difundirse preferentemente a través de Twitter, LinkedIn y Facebook ya que estas redes son las más empleadas por el público objetivo definido para DRAC.

Se ha elaborado una lista de las redes sociales que administra cada socio de la agrupación para aumentar la diseminación de las noticias y resultados de DRAC. Dicha lista se detalla en la siguiente tabla:

Socio	Red social	Dirección
BSC	Página web	https://www.bsc.es/
BSC	Facebook	@BSCCNS
BSC	LinkedIN	Barcelona Supercomputing Center
BSC	Twitter	@BSC_CNS
UAB	Página web	https://www.uab.cat/enginyeria
UAB	Twitter	@enginyeriauab
UAB	Facebook	@enginyeriauab
UB	Página web	https://www.ub.edu/portal/web/dp-electronica/
UB	Twitter	@BoschiGimpera
UB	Facebook	@UniversitatdeBarcelona
UPC	Página web	https://www.ac.upc.edu/ca
UPC	Facebook	@fib.upc
URV	Página web	http://diaridigital.urv.cat/
URV	Facebook	@cienciaURV
URV	Twitter -	@cienciaURV
URV	Twitter - Departament d'Enginyeria Informàtica i Matemàtiques	@deimURV
URV	Twitter - Grup de Recerca	@UnescoPrivadesa

Tabla 3: Listado de las cuentas en redes sociales utilizadas por DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Se insta a todos los socios que tengan una cuenta personal de Twitter o LinkedIn a utilizar los *hashtags* obligatorios para ayudar a promover el proyecto: #DRACproject #FEDERrecerca #FonsUECat

Cabe decir que la actividad en redes sociales referente al proyecto se empezó a trabajar con #DRAC, al apreciar el uso de este hashtag en actividades no relacionadas con el proyecto, se decidió pasar a utilizar #DRACproject.

Se ha establecido que mensualmente cuando un socio publica en la página web de DRAC alguna noticia, esta ha de difundirse en redes sociales por todos los socios o al menos por los socios implicados en la parte técnica descrita utilizando los elementos obligatorios de difusión.

Desde el inicio de la actividad en redes sociales, se han conseguido los siguientes resultados:

Red social	Nº de publicaciones	Nº de reacciones
Twitter	37	303
LinkedIn	19	253
Facebook	11	129

Tabla 4: Actividad en redes sociales con #DRACproject o #DRAC

Las publicaciones más destacadas en las tres plataformas ha sido el anuncio del desarrollo de DVINO (Ilustración 17). Dicha publicación en Twitter ha alcanzado los 40 likes, se ha retuiteado 16 veces.

La publicación del envío de DVINO a fabricar es también de las más destacadas. Dicha publicación en LinkedIn ha alcanzado las 68 reacciones (entre recomendaciones, celebraciones y apoyos). En Twitter alcanzó los 16 retweets, 2 tweets citados y 32 me gusta, pero si sumamos las reacciones de todas las publicaciones hechas por los socios sobre esta noticia, se alcanzan los 21 retweets, 2 tweets citados y 62 me gusta. En Faceboock alcanzó 20 me gusta y fue compartido 1 vez. Esto coincide con que la segunda página de la web de DRAC más visitada sea la que explica el envío de DVINO a fabricar.

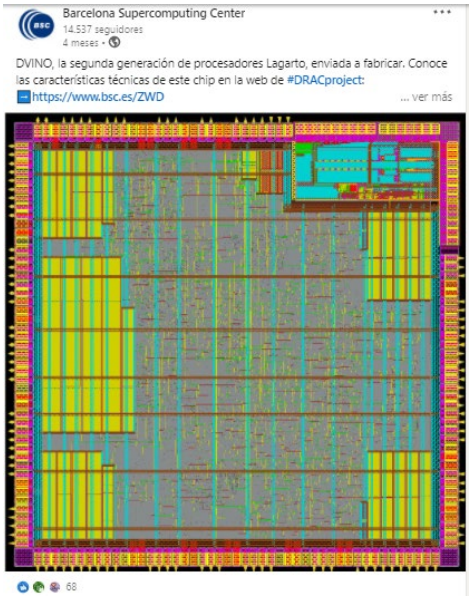


Ilustración 17: Publicación en redes sociales con mayor repercusión (Linkedin)

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.3.3. Conferencias y Eventos

Los socios miembros de DRAC participarán en varios eventos diferentes a lo largo del proyecto, incluyendo exposiciones y presentaciones en reuniones, conferencias, congresos, talleres, etc. La asistencia a estos eventos es clave para presentar los resultados científicos y también para posicionarse como referente en investigación de procesadores a nivel catalán, español y europeo. Estos eventos se incluyen en la página eventos de la web de DRAC. Una lista indicativa de los eventos clave a los que se ha asistido o hay intención de asistir, se puede encontrar a continuación:

Fecha	Evento
05/02/2020	Primeras Jornadas Red-RISCV
09/03/2020	DATE 2020
29/06/2020	Workshop on RISC-V and OpenPOWER, collocated with ICS2020
23/09/2020	Jornadas Sarteco
14/10/2020	CSW Autumn 2020
18/11/2020	XXXV Conference on Design of Circuits and Integrated Systems
08/12/2020	RISC-V Summit
18/01/2021	HiPEAC Conference 2021
01/02/2021	DATE 2021
15/04/2021	2021 Workshop on Negative results, Opportunities, Perspectives, and Experiences
17/04/2021	Dia de la Llibertat el Maquinari 2021
15/06/2021	ADTC 2021
14/03/2022	WASC 2022
31/03/2022	DCSM2022
21/04/2022	MEMEnginy22 UAB - Conferencia CNM-BSC-RISC-V: una oportunitat cap a l'open-source hardware/software cooperatiu
03/05/2022	Spring 2022 RISC-V Week
18/06/2022	4th HPCA Workshop on AACBB
18/06/2022	ISCA 2022
27/06/2022	ACM ICS 2022
18/09/2022	CHES 2022
20/09/2022	21st European Conference on Computational Biology (ECCB 2022)
21/09/2022	Jornadas Sarteco 2022
16/11/2022	DCIS 2022
12/12/2022	RISC-V Summit 2022

Tabla 5: Eventos de interés para la comunidad DRAC

Durante este período, los socios del consorcio asistieron a varios eventos (tabla 5) para presentar DRAC, difundir el proyecto y establecer contactos con colegas en el campo. El consorcio ha asistido a un total de 12 eventos. La lista completa de los eventos específicos a los que asistieron los socios de DRAC se puede encontrar también en la página de eventos del proyecto DRAC.

Los eventos más destacados por su interés entre los socios fueron la participación en el Workshop on RISC-V and OpenPOWER durante el ICS2020, las Jornadas Sarteco 2020, el RISC-V

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Summit 2020, el 2021 Workshop on Negative Results, Opportunities, Perspectives, and Experiences Hardware, el Hardware Freedom Day 2021 y el ADTC 2021.

4.3.4. Publicaciones Científicas

Hasta el momento se han publicado cinco artículos científicos de DRAC. Todas las publicaciones son de acceso abierto, siguiendo con la normativa europea de ciencia abierta. Los detalles completos sobre las publicaciones de DRAC se pueden encontrar en la página de publicaciones de DRAC y en la tabla a continuación. Se publicarán más artículos de investigación y actas de conferencias a medida que el proyecto se desarrolle y produzca más resultados.

Tipo	Título	Autores	Revista
Artículo en revista	Fast GAP-AFFINE Pairwise alignment using the wavefront algorithm	Santiago Marco-Sola, Juan Carlos Moure, Miquel Moreto, Antonio Espinosa	Bioinformatics
Publicación en actas de congresos / talleres	Enabling hardware randomization across the cache hierarchy in Linux-class processors	Max Doblas, Ioannis-Vatistas Kostalabros, Miquel Moreto y Carles Hernandez	Acceso Abierto
Publicación en actas de congresos / talleres	An academic RISC-V silicon implementation based on open-source components	Jaume Abella, Calvin Bulla, Guillem Cabo, Francisco J. Cazorla, Adrián Cristal, Max Doblas, [et al.]	2020 XXXV Conference on Design of Cirtuits and Integrated Systems (DCIS)
Artículo en revista	A RISC-V simulator and benchmark suite for designing and evaluating vector architectures	Cristóbal Ramírez, César Alejandro Hernández, Oscar Palomar, Osman Unsal, Marco Antonio Ramírez y Adrián Cristal	ACM Journals
Conferencia	An FPGA accelerator of the wavefront algorithm for genomics pairwise alignment	Abbas Haghi, Santiago Marco-Sola, Lluc Alvarez, Dionysios Diamantopoulos, Christoph Hagleitner, Miquel Moreto	Institute of Electrical and Electronics Engineers
Conferencia	Adaptable register file organization for vector processors	Cristóbal Ramírez Lazo, Enrico Reggiani, Carlos Rojas Morales, Roger Figueras Bagué, [et al.]	28th IEEE International Symposium on High-Performance Computer Architecture

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Artículo en revista	A survey of deep learning techniques for cybersecurity in mobile networks	Eva Rodríguez, Beatriz Otero, Norma Gutiérrez y Ramon Canal	IEEE Communications Surveys and Tutorials

Tabla 6: Publicaciones científicas de los socios de DRAC

Mediante el entregable E6.1 se informó a todos los socios de los detalles sobre los requisitos y las formas de cumplir para que dichas publicaciones sean válidas como acciones de difusión, que principalmente son la obligatoriedad de publicar el artículo en un repositorio de acceso abierto y que en el texto aparezca la frase que hace referencia al origen de los fondos del proyecto.

4.3.5. Cursos de Formación

Conjunto de materiales y demostradores para ser usados en contextos de aprendizaje sobre tecnologías RISC-V en asignaturas relacionadas con los sistemas digitales y la arquitectura de los computadores.

Consiste en materiales docentes: textos, descripciones, lecciones, laboratorios, prototipos hardware, ejemplos de uso, propuestas de planes de estudio asociados.

La UAB empezó un proyecto interno para adaptar la enseñanza del grado de Ingeniería informática a la ISA RISC-V. En este proceso se adaptan varias asignaturas del grado y se prepara un kit educacional. La UPC también ha adaptado varias asignaturas de grado y máster al ISA RISC-V. E6.1. iniciando las tareas para la elaboración del kit educacional con la preparación de los materiales prácticos y teóricos.

Se está trabajando en la elaboración y recogida de diversos materiales educativos para hacerlos disponibles a la comunidad universitaria entorno a la red RISC-V. Se ha trabajado en la preparación de material teórico y práctico para introducir diferentes conceptos sobre las arquitecturas RISC-V en diferentes asignaturas de primeros cursos de Ingeniería Informática. Se ha obtenido un primer bloque de asignaturas, temas y materiales donde se introducen estos conceptos.

Durante 2021 se ha llevado a cabo la recogida del material y clasificación por asignaturas, tipo de material (teoría, prácticas, problemas) y conceptos tratados en cada elemento de material producido.

Se ha realizado un estudio de la relación entre las asignaturas que pertenecen a un currículo de Ingeniería Informática donde se pueden usar los materiales que se han preparado. El objetivo es establecer un orden recomendado para introducir los conceptos explicados en los materiales que se han preparado.

Recogida de trabajos aplicados y herramientas útiles. También se han ido recogiendo herramientas de trabajo como una descripción breve del repertorio de instrucciones, un kit de autoevaluación, plantillas para preparar documentación o entornos virtualizados para acceder a recursos RISC-V.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.3.6. Conferencia Final

De cara a finales de los últimos seis meses finales del proyecto, el BSC organizará una conferencia final donde se presentarán todos los resultados obtenidos en DRAC a la comunidad científica e industrial. El objetivo es un evento abierto con una duración de un día. Al evento se invitará a participar a científicos reconocidos, así como se analizará poder colocar este evento final con otras iniciativas o eventos para atraer a la audiencia DRAC definida.

4.4. Estrategia de Prensa

Desde la presentación del proyecto varios medios locales e internacionales se han hecho eco de las noticias relacionadas con DRAC. Actualmente DRAC cuenta con 10 recortes de prensa de diferentes medios algunos nacionales como *La Vanguardia* y otros internacionales como *HPC Wire*. A continuación, se presentan todos los recortes.

Medio	Fecha	Enlace
IMB-CNM-CSIC	26/10/2021	El hardware de código abierto diseñado en Barcelona ya cuenta con la segunda generación de procesadores RISC-V Lagarto
CSIC, Delegación en Cataluña	14/10/2021	El hardware de código abierto diseñado en Barcelona ya cuenta con la segunda generación de procesadores RISC-V Lagarto
Metadata	18/10/2021	El BSC dissenya un xip de codi obert que triplica la velocitat del seu antecessor
IMB-CNM-CSIC	26/07/2021	Flujo de diseño del proyecto DRAC
Xataka	22/06/2021	España lidera la creación del primer chip europeo de código abierto: así es eProcessor, un paso adelante para competir en hardware
HWlibre	01/06/2021	eProcessor: tha a ’chiad phròiseasar stòr fosgailte Eòrpach air a chruthachadh anns an Spàinn
HIPICS	29/06/2020	DRAC project presentation at the RISC-V & OpenPOWER Workshop
Generalitat de Catalunya	25/05/2020	El BSC coordina el projecte DRAC de l'estratègia RIS3CAT finançada pel FEDER
UAB	11/05/2020	Investigadors de l'Escola d'Enginyeria participen al projecte DRAC
FIB	30/04/2020	The DRAC project is underway to manufacture a new chip and open source accelerators in Barcelona. It will be designed for safety applications, personalized medicine and autonomous driving and led by BSC.
UPC	15/04/2020	Investigadors del DAC participen al projecte DRAC (Designing RISC-V-based Accelerators for next generation Computers)

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Archii Tecnologia	05/04/ 2020	DRAC: se inicia el proyecto para el acelerador de código abierto
HPC Wire	30/03/2020	BSC-Led DRAC Project to Manufacture New Chip, Open Source Accelerators in Barcelona
BSC	30/03/2020	En marxa el projecte DRAC per fabricar un nou xip i acceleradors de codi obert des de Barcelona
UB	13/03/2020	Projecte coordinat RIS3CAT 001-P-001723
Hardware Sfera	30/12/2019	Lagarto, el procesador desarrollado íntegramente en Barcelona basado en RISC-V
La Vanguardia	28/12/2019	Lagarto, un chip "made in Barcelona"

Tabla 7: Recortes de prensa relacionados con el proyecto DRAC

Todos los recortes de prensa se pueden encontrar en la página correspondiente del proyecto.

4.4.1. Noticias

Las noticias, eventos y actividades de difusión en las que los socios participan se han ido publicando regularmente en la página de noticias de DRAC. Esto forma parte de la estrategia de comunicación compartida por los socios para publicar artículos relevantes sobre el proyecto, como noticias técnicas y avances relevantes para la comunidad científica de forma continuada durante la duración del proyecto.

Las noticias se comparten en el sitio web y en los canales de redes sociales para crear conciencia sobre el proyecto y hacer crecer la comunidad DRAC. Dado el retraso inicial del proyecto y el tiempo necesario para la organización de las acciones de difusión, las noticias técnicas elaboradas por los socios empezaron a publicar a partir de diciembre de 2020. A continuación, se presenta el calendario de dichas publicaciones elaboradas por los socios del proyecto:

Fecha	Socio	Publicación
12/20	UAB	Aceleración del alineamiento de secuencias genómicas usando el algoritmo Wavefront
01/21	UB	La integración, layout y fabricación de prototipos (tape-out) de los procesadores DRAC, y el desarrollo de las plataformas de test
02/21	UPC	Acelerador de bajo consumo para aplicaciones de conducción autónoma basado en principios de cálculo aproximado
03/21	URV	Seguridad post-cuántica en el proyecto DRAC
05/21	BSC	DVINO, la segunda generación de procesadores Lagarto, enviada a fabricar vía Europractice
06/21	CNM	Nuevo PLL para el procesador DVINO, un nuevo miembro de la familia Lagarto RISC-V
06/21	UAB	Acelerador FPGA del algoritmo wavefront para el alineamiento de secuencias genómicas
07/21	UB	Flujo de diseño: síntesis lógica y síntesis física
09/21	UPC	Ampliación del núcleo de RISC-V con las extensiones de virtualización

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

10/21	URV	Co-Diseño HW/SW Basado en HLS del Criptosistema Post-Cuántico Classic McEliece
11/21	BSC	Lagarto Ka: El núcleo de alto rendimiento para DRAC
12/21	CNM	Bloque IP ADC Delta-Sigma de Capacidades Conmutadas de Alta Resolución y Bajo Consumo para Edge Computing en Aplicaciones IoT
03/22	UAB	Publicación programada
04/22	BSC	Publicación programada
02/22	UB	Publicación programada
03/22	UPC	Publicación programada
04/22	URV	Publicación programada
05/22	BSC	Publicación programada
06/22	URV	Publicación programada
07/22	UAB	Publicación programada
09/22	UB	Publicación programada
10/22	UPC	Publicación programada
11/22	URV	Publicación programada
12/22	BSC	Publicación programada

Tabla 8: Noticias técnicas elaboradas por los socios de DRAC

Paralelamente a las noticias técnicas elaboradas por los socios, se han publicado aquellas noticias relacionadas eventos o acontecimientos que se han considerado relevantes para la comunidad DRAC, cómo los grandes eventos de la comunidad RISC-V, workshops o reuniones relevantes del proyecto.

Actualmente la página web de DRAC cuanta con un total de 11 publicaciones de las cuales 5 son de carácter técnico (ver tabla anterior). A continuación, se muestra el listado de las noticias no técnicas publicadas (siguiente tabla). En la página web del proyecto de noticias, se puede obtener más información sobre estas, así como consultarlas.

Fecha	Publicación
02/20	La primera reunión celebrada tiene lugar en el BSC
03/20	En marcha el proyecto DRAC para fabricar un nuevo chip y aceleradores de código abierto desde Barcelona
07/20	DRAC en el International Conference on Supercomputing 2020
08/20	DRAC celebra su primera reunión general online
03/21	DRAC celebra su segunda reunión general online
04/21	2021 Workshop on Negative results, Opportunities, Perspectives, and Experiences
07/21	Tercera reunión General Online
10/21	Acercamos DRAC la industria

Tabla 9: Noticias no técnicas publicadas en la web de DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

4.5. Indicadores de Comunicación y Difusión

El consorcio se compromete a seguir la normativa detallada en el documento de buenas prácticas de actuaciones cofinanciadas según el procedimiento detallado en el punto 13.4 del "Manual de Procedimientos de Gestión y control del PO FEDER de Cataluña 2014-2020". Por ello se incluirá en todos los materiales de difusión los siguientes elementos:

1. Oración

   - en documentos en catalán: "El projecte DRAC amb número d'expedient 001-P-001.723 ha estat cofinançat en un 50% amb 2.000.000,00 € pel Fons Europeu de Desenvolupament Regional de la Unió Europea en el marc del Programa Operatiu FEDER de Catalunya 2014-2020, amb el suport de la Generalitat de Catalunya."
   - en documentos en castellano: "El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña"
   - en documentos en inglés: " This project is co-financed by the European Union Regional Development Fund within the framework of the ERDF Operational Program of Catalonia 2014-2020 with a grant of 50% of total cost eligible "

2. los logos del Departament De Recerca i Universitats de la Generalitat de Catalunya y del fondo FEDER de la Unión Europea:

Generalitat de Catalunya
Departament de Recerca i Universitats

Unió Europea
Fons Europeu de Desenvolupament Regional

Únicamente están exentas de incluir estos elementos las acciones en redes sociales en las que, según el Programa de identificación visual, es obligatorio incluir las etiquetas **#FEDERrecerca y #FonsUECat**. También se aconseja utilizar en las redes sociales la etiqueta **#DRACproject**

Se ha hecho un seguimiento de los indicadores de comunicación según la "Guia Indicadors de Comunicació (Beneficiaris)" con el fin de reportar dichos indicadores en la plataforma SIFECAT1420. Para facilitar esta tarea, mensualmente y cada vez que se genera nuevo contenido para la página web, se recuerda a los socios mediante correo electrónico actualizar las acciones de difusión que realicen, en la plataforma SIFECAT1420.

Entre estos indicadores se pueden encontrar todas las acciones reportadas en este documento. Para mayor información sobre los indicadores reportados consultar en la plataforma SIFECAT1420.

Indicador realització	Nom acció comunicació	Data execució	Estat
1	Presentación técnica interna al personal del BSC sobre el proyecto DRAC	01/06/2021	Validat
1	Presentación "Building the Road from Computer Architecture to Silicon at BSC DRAC project" en el International Conference on Supercomputing 2020 https://ics2020.bsc.es/RVandOpenPOWER	29/06/2020	Validat
1	Presentación del proyecto en la jornada ADTC 2021 por Miquel Moretò <https://adtc-conference.eu/>	16/06/2021	Validat
1	Reunión líderes de proyecto DRAC	18/03/2020	Validat
1	Reunión líderes de proyecto DRAC	17/05/2021	Validat
1	Reunión líderes de proyecto DRAC	14/06/2021	Validat
1	Reunión líderes de proyecto DRAC	12/07/2021	Validat
1	Reunión líderes de proyecto DRAC	19/04/2021	Validat
1	Reunión líderes de proyecto DRAC	06/09/2021	Validat
1	Reunión de seguimiento con la DGR 2020	03/11/2021	Validat
1	Reunión líderes de proyecto DRAC	04/11/2021	Validat
1	Reunión líderes de proyecto DRAC	02/12/2021	Validat
1	Reunión líderes de proyecto DRAC	07/10/2021	Validat
1	Presentación al comité industrial	07/10/2021	Validat
1	Presentación sobre SAURIA, la Unidad de tensor basada en matriz sistólica para la aceleración de la inteligencia artificial	01/12/2021	Validat
1	Reunión líderes de proyecto DRAC	22/03/2021	Validat
1	Reunión líderes de proyecto DRAC	25/01/2021	Validat
1	Tercera Reunión General DRAC	26/02/2021	Validat
2	Publicación en Twitter del BSC sobre información de DRAC	03/04/2020	Validat
2	Artículo en la web de DRAC junio 2021 <https://drac.bsc.es/ca/cnm>	07/06/2021	Validat
2	Artículo en la web del BSC ES "En marcha el proyecto DRAC para fabricar un nuevo chip y aceleradores de código abierto desde Barcelona"	30/03/2020	Validat
2	Artículo en la web del BSC CAT "En marxa el projecte DRAC per fabricar un nou xip i acceleradors de codi obert des de Barcelona"	30/03/2020	Validat
2	Artículo en la web del BSC EN "The DRAC project is underway to manufacture a new chip and open source accelerators in Barcelona"	30/03/2020	Validat
2	Articulo ES "En marcha el proyecto DRAC para fabricar un nuevo chip y aceleradores de código abierto desde Barcelona" en la web propia de DRAC	30/03/2020	Validat
2	Publicación en RRSS Facebook del BSC sobre la 2a reunión anual de DRAC	06/08/2020	Validat
2	Publicación en RRSS Linkedin del BSC sobre la 2a reunión anual de DRAC	06/08/2020	Validat
2	Publicación en RRSS Linkedin del BSC sobre el inicio del proyecto DRAC	30/03/2020	Validat
2	Publicación en RRSS Facebook del BSC sobre el inicio del proyecto DRAC	30/03/2020	Validat
2	Artículo en colaboración con el CNM	14/10/2021	Validat
2	Publicación con el CNM en su web oficial y en la delegación de Cataluña	26/10/2021	Validat
2	Publicación en RRSS julio 2021	16/07/2021	Validat
2	Publicación en RRSS del BSC sobre artículos publicados en web septiembre21	20/09/2021	Validat
2	Artículo en colaboración con el CNM en la web del proyecto DRAC	21/12/2021	Validat
2	Artículo en web del proyecto <https://drac.bsc.es/es/media/news/acercamos-drac-la-industria>	14/10/2021	Validat
2	Difusión en RRSS noticia diciembre 21	03/12/2021	Validat
2	Artículo en página web del proyecto <https://drac.bsc.es/es/bsc2>	16/11/2021	Validat
2	Publicación en RRSS del BSC sobre NOTICIA DE LA WEB	02/12/2021	Validat
5	Cartel A3/placa del proyecto DRAC en el departamento de Comuper Science de las instalaciones del BSC	01/06/2020	Validat

Tabla 10: Indicadores de comunicación

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5. Explotación

5.1. Plan de Explotación

En el entregable E6.2 se describió el plan para la transferencia y explotación de los resultados de DRAC. Concretamente se definió el contexto de la explotación, y los objetivos del mismo en el marco de los proyectos de tecnologías emergentes RIS3CAT, en línea con sus bases, concretamente en la línea de desarrollo de tecnología de procesadores de bajo consumo. En él:

- Se describieron los objetivos principales del proyecto alineándolos con el marco / contexto de explotación.
- Se realizó un estudio de mercado inicial en el cual enmarcar las actividades del proyecto, para asegurar que las actividades de proyecto responden a unas necesidades de mercado, así como asegurar que los resultados tengan el máximo impacto.
- Se definió la estrategia de gestión de explotación a nivel de consorcio, para asegurar que obtenemos toda la información necesaria respecto los activos explotables y los planes de explotación de los socios a nivel individual.
- Finalmente se definió la estrategia de gestión del comité asesor, como grupo independiente de organizaciones y expertos interesados en el desarrollo y futura adopción de los resultados de proyecto

En este entregable se han actualizado los activos explotables y de los outcomes respecto al entregable E6.3 Primer informe de seguimiento de difusión y explotación. Se ha establecido la relación de los activos con los outcomes en la línea temporal. También se presenta la actualización del comité asesor y las acciones realizadas a afianzar la relación con las empresas que lo componen. El análisis de mercado presentado en E6.3 sigue siendo válido en el contexto de este entregable.

5.2. Activos Explotables

En este apartado se identifican los activos explotables procedentes de los resultados del proyecto con potencial para ser explotados para concluir sobre el potencial de negocio y vías de explotación y realizar un análisis de posibles conflictos entre las diferentes licencias de los aceleradores RISC-V que se integrarán en el procesador fuera de orden resultante. Las acciones para ello son:

- Identificación y protección de los resultados del proyecto (Gestión de IPR)
- Creación y mantenimiento de un repositorio de IP
- Evaluación / Soporte de los mecanismos de protección necesarios
- Monitorear los contratos y acuerdos necesarios relacionados con la PI generada

Con este fin se elaboran las siguientes fichas (cuya descripción se puede encontrar en el plan de explotación E2) sobre los diferentes activos del proyecto:

- Activo #1: Implementación del procesador fuera de orden Lagarto Ka (P1)
- Activo #2: HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem (P2)
- Activo #3: Implementación de extensiones de virtualización RISC-V (P2)
- Activo #4: Unidad vectorial SIMD para aplicaciones de genómica (P3)
- Activo #5: Implementación WFA GPU y FPGA (P3)
- Activo #6: Acelerador de navegación autónomo (P4)

DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

- Activo #7: Implementación de unidades FP aproximadas (sumadores y multiplicadores) (P4)
- Activo #8: Diodos de avalancha de fotón único (Single Photon Avalanche Diodes - SPADs; P5)
- Activo #9: Kit de herramientas para docencia (P6)

5.2.1. Activo #1

Nombre
Implementación del procesador fuera de orden Lagarto Ka (P1)
Descripción
El procesador Lagarto Ka está diseñado con una microarquitectura fuera de orden de 64-bits que implementa el conjunto de instrucción de código abierto RISC-V. Es un procesador que emite dos instrucciones por ciclo de reloj, capaz de realizar ejecución especulativa de instrucciones, y en el que se incluye unidades funcionales optimizadas, un mecanismo de recuperación por fallos, así como técnicas de bajo consumo de energía. El System-on-Chip integra distintos aceleradores especializados en aplicaciones emergentes como la seguridad, la medicina personalizada y la conducción autónoma en desarrollo en el proyecto DRAC. Finalmente, para soportar los requisitos de lectura y escritura de datos realizados por ya sea por el Lagarto Ka o por los aceleradores, se cuenta con una jerarquía de memoria que cubre con estos requisitos.
Propuesta de valor
Este procesador puede ser utilizado como base para diferentes aceleradores y máquinas que en el futuro tanto el BSC como otros usuarios pueden utilizar.
Propietarios
En este momento, los investigadores del CIC-IPN y BSC han desarrollado un primer modelo del pipeline de Lagarto Ka desde cero. Hoy en día existe un acuerdo de cotitularidad firmado entre el BSC y el CIC-IPN. Este acuerdo otorga 60% del núcleo Lagarto Ka a CIC-IPN y 40% al BSC. Por otra parte, hay partes del core que están siendo patentadas por el CIC-IPN las cuales se encuentran incluídas dentro del acuerdo de cotitularidad entre el BSC y el CIC-IPN. El *System-on-Chip* (SoC) incluye IPs open-source y provienen de otras instituciones. Estos IPs se refiere básicamente al *uncore* (caché de segundo nivel y controladores de periféricos). Sin embargo, estos módulos serán reemplazados por aquellos desarrollados en DRAC para la versión final del proyecto. • CIC-IPN: Desarrollo inicial de Lagarto Ka para la ISA MIPS, así como algún componente del uncore (i.e. UART controller). • BSC: Migración de MIPS a RISC-V en Lagarto Ka. Desarrollo de subcomponentes específicos (e.g Instruction Cache, JTAG, SDRAM, VGA) e integración de Lagarto Ka en el uncore de LowRISC • LowRISC: Componentes *uncore* (Caché de datos y Caché compartida de segundo nivel). Se trata de un proyecto open source.
Destinatarios
Desarrolladores RISC-V CPU (industria y academia)

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

IP Blocks

Uncore (SoC)

- Núcleo de Lagarto Ka (60% CIC-IPN + 40% BSC)
  - **Front end**
    - Fetch: En DRAC adecuación para el SoC y optimización de código.
    - Decoder: En DRAC migración a RISC-V.
    - Renaming Unit: En DRAC optimización de código.
  - **Back End**
    - Register File: En DRAC optimización de código.
    - Instruction Queues: En DRAC optimización de código.
    - LSQ: En DRAC adecuación para el SoC y optimización de código.
    - Execute: En DRAC optimización de código.
    - ROB: En DRAC optimización de código.
- Jerarquía de Memoria
  - Caché de instrucciones (BSC) - memoria de instrucciones
  - Caché de datos (LowRISC, proyecto open source) - memoria de datos
  - L2 - memoria compartida (LowRISC, proyecto open source)
- Controladores de periféricos
  - UART (CIC + BSC)
  - JTAG (CIC + BSC)
  - SPI (CIC + BSC)
  - SDRAM (BSC)
  - VGA (BSC)

Dependencias

Dentro de Uncore:

- LowRISC (open source): Ecosistema para el procesamiento de todos los datos
- PLL (CNM): Sistema de control de generación de señales.

Memory Compilers (generador de memorias). Código propietario entregado con el PDK tecnológico de Globalfoundries 22nm FDX.
Especificación de la ISA RISC-V (open source)
Aceleradores: Criptográfico (WP2), Genómica (WP3), y Automoción (WP4)

Derechos de propiedad intelectual

Se ha realizado un acuerdo de colaboración entre el BSC y el IPN para llevar a cabo de manera conjunta la investigación, diseño y fabricación de procesadores de alto desempeño.

Se está elaborado una patente con el nombre de *Method for the computation of a narrow bit width linear algebra operation* que se espera presentar a principios de 2022.

Se está estudiando la posibilidad de distribuir bajo licencia Open Source (a definir) aquellos componentes que sea posible.

Siendo los subcomponentes IP reemplazables - permite la combinación entre componentes abiertos y propietarios.

Acceso

Acceso Interno:
- Lagarto Ka core: https://gitlab.bsc.es/lagarto/lagarto_ka/rtl/top/lagarto_ka_core
- Lagarto + lowRISC (SoC) : https://gitlab.bsc.es/drac/lagarto-lowrisc/-/tree/feature/lagarto_ka

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Nivel de madurez tecnológica
En estos momentos el diseño tiene un TRL 4-5. Se considera que a finales del proyecto DRAC, se tendrá un TRL 6-7.
Uso que se le quiere dar
Creación de un Ecosistema IPs que se pueden intercambiar / interconectar / re-usar, con el objetivo de ir madurando la puesta en marcha de un SoC capaz de ejecutar aplicaciones de propósito general sobre un sistema operativo (e.g. Linux) además de añadir la capacidad de acelerar la ejecución de aplicaciones específicas (medicina /genómica, automoción /navegación autónoma, seguridad/criptográfica, o procesamiento masivo en general, etc). A través de las diferentes versiones de tape-outs se realizan diferentes pruebas de concepto - que son usadas como demostradores de funcionamiento conjunto de las diferentes IPs. A través de un desarrollo modular permite reutilizar componentes IP externos para centrar el desarrollo en IPs específicas que no existen todavía y que aportan valor añadido, mientras se van aprovechando las diferentes iteraciones de tape-outs para ir incorporando desarrollos IP propios en los mismos. En primera instancia se espera poder dar un uso académico - a nivel de generación know-how y conocimiento que es directamente aplicable al diseño de nuevas generaciones de chips, así como la generación de IPs específicas que pueden ser reutilizadas en otros proyectos e iniciativas (actualmente parte del know-how generado a través de Lagarto - se ha usado en la European Processor Initiative y potencialmente se va a usar en proyectos en marcha como MEEP, o futuros nuevos proyectos). A medio plazo (y a través de los miembros del Industrial Advisory Board, así como a través de partners industriales de proyectos, se espera que ese know-how se transmita hacia la industria - ya sea a través de acuerdos bilaterales específicos como licenciar las IPs para su uso comercial. BSC ya tiene contratos específicos con las mayores empresas industriales del sector (Huawei, Intel o Lenovo - a través de los cuales se puede acabar de impulsar la madurez tecnológica para su adopción industrial. Igualmente, la generación del ecosistema de IPs, puede permitir la futura creación de una spin-off de BSC que se encargue de la creación de los productos comercializables y su explotación. Se han estado haciendo experimento con diferentes modelos de Load/Store Queues y mecanismos de recuperación para mejorar el desempeño.
Casos de Éxito de Explotación
Se ha elaborado una patente, la solicitud se presentó el 28/02/2022 en la Oficina Europea de Patentes con con el nombre de *Method for the computation of a narrow bit width linear algebra operation* y con número de solicitud 22382173.7.

Tabla 11: Activo #1

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.2.2. Activo #2

Nombre
HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem (P2)
Descripción
Acelerador del esquema criptográfico Classic McEliece que se considera seguro pese a la existencia potencial de ordenadores cuánticos de altas capacidades. Específicamente, aceleradores optimizados para candidatos del NIST como futuros estándares de KEM o de firma electrónica. Estos aceleradores están adaptados a distintas arquitecturas: implementaciones FPGA, CPUs de propósito general y CPUs con extensiones vectoriales, en especial aquellas basadas en arquitecturas RISC-V.
Propuesta de valor
Seguridad digital a largo plazo gracias a la protección de las comunicaciones con protocolos post-cuánticos.
Propietarios
URV especificaciones y usos, BSC diseño e implementación.
Destinatarios
Empresas que buscan aportar seguridad y privacidad a sus soluciones tecnológicas. Entre ellas, empresas especializadas en electrónica y diseño de IOT y automoción. Entre ellas, Huawei.
IP Blocks
Implementación HLS del acelerador HW/SW.
Dependencias
No hay dependencias conocidas con terceros.
Derechos de propiedad intelectual
El conocimiento se ha publicado en publicaciones científicas, y las soluciones tecnológicas en github bajo licencia open source permisiva.
Acceso
Publicación del artículo: *HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem.* Accesible en: https://ieeexplore.ieee.org/abstract/document/9556415 El código del programa utilizado está disponible open source en: https://github.com/beatsnbytes/classic_mceliece
Nivel de madurez tecnológica
Al principio del proyecto se partió de cero, y actualmente estamos en TRL 3-4. Se espera un TRL 4-5 al final del proyecto.
Uso que se le quiere dar
El objetivo de esta tecnología es facilitar la adecuación a los futuros estándares de seguridad. Con estos aceleradores, la ejecución de esquemas criptográficos post-cuánticos será más eficiente. Estos aceleradores se están integrando con el procesador Lagarto para acelerar operaciones seguras. En particular, estas operaciones son muy importantes en dispositivos para la automoción y el IoT. Estos aceleradores serán fabricados como parte del chip final del proyecto DRAC.

DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Hay colaboración con empresas interesadas en esta tecnología. Entre ellas, Huawei, mediante un acuerdo confidencial (hasta junio 2023). En cuanto a posibilidades de uso comercial, el activo puede usar en el desarrollo de productos que requieran las características de seguridad que aporta. El código del programa utilizado está disponible open source en: https://github.com/beatsnbytes/classic_mceliece Se tiene previsto el uso de este activo en un proyecto colaborativo una vez termine DRAC. Hay colaboración con otras empresas (confidencial) interesadas en chips que sean seguros contra ataques post-cuánticos.
Casos de Éxito de Explotación
El código del programa utilizado está disponible open source en: https://github.com/beatsnbytes/classic_mceliece Integrado en Lagarto.

Tabla 12: Activo #2

5.2.3. Activo #3

Nombre
Implementación de extensiones de virtualización RISC-V (P2)
Descripción
Implementación de la ISA de virtualización RISC-V y requisitos asociados para el núcleo diseñado en el Proyecto 1 (Lagarto Ka). Esto permitirá que el núcleo de línea base ejecute máquinas virtuales mediante el uso de la ISA de virtualización específica. En detalle, la implementación agrega a la línea de base el hipervisor + modos adicionales, manejo de trampas (delegación), traducción de direcciones en dos etapas y las nuevas instrucciones (Virtualized Load and Store and Fences).
Propuesta de valor
Unidad especializada para apoyar la ejecución de cargas de trabajo en máquinas virtuales.
Propietarios
UPC
Destinatarios
Expertos / desarrolladores en diseño de CPU RISC-V (industria y academia)
IP Blocks
1. Registros del modo privilegio. Finalizado 2. Traducción de direcciones (unidad de gestión de memoria). Se cuenta con una primera implementación, falta probarlo y añadir la gestión de excepciones virtualizadas 3. Decodificador de instrucciones extendido. Se espera iniciar en breve. La UPC desarrollará estos tres componentes. Pueden adaptarse a otras implementaciones RISC-V (con costes mínimos de adaptación).

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Dependencias
DRAC-Proyecto 1 (núcleo RISC-V). Subcomponente de Lagarto-Ka ya que tiene una dependencia directa de la implementación específica de la unidad de gestión de memoria y las implementaciones del decodificador.
Derechos de propiedad intelectual
En línea con la IP del procesador desarrollado del Proyecto 1 (Lagarto Ka). Se ha realizado un acuerdo de colaboración entre el BSC y el IPN para llevar a cabo de manera conjunta la investigación, diseño y fabricación de procesadores de alto desempeño. Sí es posible compartir en código abierto. Podría plantearse algún tipo de patente más adelante.
Acceso
Parte del repositorio de Lagarto. Bajo la misma distribución de licencias. Código interno disponible en: https://gitlab.bsc.es/drac
Nivel de madurez tecnológica
El nivel actual de madurez del proyecto es de TRL 2. Se estima un TRL 3-4 a final de proyecto.
Uso que se le quiere dar
Tecnologías integradas en el chip principal (proyecto 1) - y que se explotará como parte del chip principal. En línea con el chip principal, el chip es un demostrador tecnológico que se utilizará para demostrar la madurez de las tecnologías involucradas. El activo formará parte del grupo de IP "ready to re-use" para otros proyectos. Se ajusta especialmente al proyecto eProcessor, donde se integrará una pila completa de software y hardware para ofrecer un sistema TRL superior. Informaremos a eProcessor del componente disponible (es decir, extensiones de virtualización) para que pueda insertarse en la plataforma eProcessor.
Casos de Éxito de Explotación
Se han utilizado el procesador Lagarto Ka integrándolo en otros proyectos como eProcessor. El activo forma parte de la propuesta “Vitamin-V” que enviada el 5 de abril de 2022 (HORIZON-CL4-2022-DIGITAL-EMERGING-01-26).

Tabla 13: Activo #3

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.2.4. Activo #4

Nombre
Unidad vectorial SIMD para aplicaciones de genómica (P3)
Descripción
Unidad computacional con primitivas de aceleración específicas para aplicaciones genómicas en el diseño de los procesadores Lagarto.
Propuesta de valor
Implementación específica de operaciones de acceso a datos bioinformáticos relevantes y extensiones ISA: vmax, vmax3inc, vcount e instrucciones vectoriales adicionales asociadas: vmseq, vsadd64, vhor. Compatibilidad con operaciones enteras de precisión reducida (16 y 8 bits).
Propietarios
Los investigadores del BSC han realizado el diseño RTL, implementación y verificación de la unidad vectorial SIMD para aplicaciones de genómica. La UAB ha contribuido a la selección de los elementos y primitivas a implementar por el BSC.
Destinatarios
Desarrolladores de CPU y aceleradores de propósito especial (industria y academia)
IP Blocks
Implementación de operaciones e instrucciones ISA específicas para genómica. La unidad vectorial SIMD es un bloque de IP monolítico.
Dependencias
Subcomponente acelerador integrado en los procesadores Lagarto.
Derechos de propiedad intelectual
Propietaria: Según estado del arte, se considera que puede ser buena idea proteger el diseño del acelerador bioinformático. Se está considerando la opción de patentar esta IP. Se espera tomar una decisión a finales de 2022. Se está discutiendo aún el tipo de licencia. Mientras no se realice el análisis de patentabilidad el activo queda propietario y no se mirarán opciones de open source, aunque la intención es poderlo publicar más adelante.
Acceso
Acceso privado, código interno disponible en: https://gitlab.bsc.es/drac
Nivel de madurez tecnológica
En estos momentos este activo tiene un TRL 4-5 y se espera que a finales del proyecto tenga un TRL 6-7.
Uso que se le quiere dar
Aceleración de aplicaciones genómicas. Académico y potencialmente comercial. En cuanto a tipo de licencia, está pendiente de decisión, se pretende trabajar en una Licencia de tecnología específica para cada caso/institución (e.g. dando acceso a un diseño básico, y

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

licenciando versiones optimizada).

Se puede encontrar más información del activo en los correspondientes informes DRAC de seguimiento, memorias técnicas, a través de una publicación científica.

Se pretende seguir desarrollando el activo a través de colaboraciónes I+D. Esta unidad vectorial SIMD se está usando en un proyecto conjunto con Lenovo (2021-2023). Además, las extensiones vectoriales específicas para genómica serán el punto de partida para las extensiones que se van a implementar en el proyecto europeo eProcessor (04/2021 - 03/2024).

En cuanto a colaboraciones industriales, existe la colaboración BSC-Lenovo para acelerar aplicaciones de genómica. El contrato es confidencial.

Casos de Éxito de Explotacion
Tambien existen colaboraciones con centros de investigación genómica como CNAG o CRG. Prueba de concepto de análisis de datos bioinformáticos en workflows específicos com Whole Genome Analysis o De Novo assembly. Se han establecido contactos con el laboratorio de veterinaria/genómico animal, centro de investigación en genómica de plantas para evaluar el potencial de plataforma de bajo consumo. Igualmente, con facultades de veterinaria, industria agroalimentaria, o centros de investigación en agrogenómica (CRAG)

Tabla 14: Activo #4

5.2.5. Activo #5

Nombre
Implementación WFA GPU y FPGA (P3)
Descripción
Optimización del novedoso algoritmo de alineación por pares (2020)
Propuesta de valor
Implementación específica para GPU y FPGA de propuesta de algoritmo rápido para alineación por pares - mejorando tecnologías de vanguardia - x veces más rápido.
Propietarios
Los investigadores de la UAB han liderado el diseño del algoritmo, implementación y validación en una plataforma GPU. Los investigadores del BSC han liderado la implementación en FPGA del algoritmo, así como la contribución conjunta en diseño del algoritmo, implementación y validación.
Destinatarios
Empresas que han bajado una copia del repositorio WFA-CPU: Roche sequencing solutions, Pacific Biosciences, Novartis, Genuity Science, Ocean Genomics, Juno Therapeutics, Oxford Nanopore.
IP Blocks
Estructuras de datos específicas, diseño de datos de memoria y adaptación de las principales operaciones WFA asociadas para acelerar el algoritmo WFA en plataformas objetivo.

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Dependencias
GPU: herramientas del compilador NVIDIA CUDA. FPGA: entorno de programación para entornos OpenCAPI proporcionado por IBM.
Derechos de propiedad intelectual
Código publicado en open source. • Código original WFA-CPU: https://github.com/smarco/WFA • Código WFA-GPU: https://github.com/quim0/WFA-GPU • Código WFA-FPGA: https://gitlab.bsc.es/ahaghi/wfa_fpga_accelerator Licencia Open Source: MIT/BSD/Apache – y que sea compatible con la posible patente.
Acceso
Acceso open source para ambos proyectos: • Aceleración GPU: https://github.com/quim0/eWFA-GPU • Aceleración FPGA: https://gitlab.bsc.es/ahaghi/wfa_fpga_accelerator/
Nivel de madurez tecnológica
Se espera que al final del proyecto, el nivel de madurez tecnológica sea TRL 7-8. En estos momentos el nivel de madurez tecnológica es 6-7.
Uso que se le quiere dar
Alineamiento secuencias genómicas. Uso esperado académico y comercial. A nivel académico según la licencia open source decidida. A nivel comercial -a través de licencia específica de la tecnología a decidir. Se espera que el activo pueda complementar su desarrollo a través de colaboraciones industriales relevantes para aprovechar el conocimiento de empresas clave en el sector. Se espera poder patentar nuevas versiones del código.
Casos de Éxito de Explotación
El diseño GPU se ha realizado en colaboración con la empresa Lenovo en el marco de un proyecto privado entre BSC y Lenovo. El diseño FPGA se ha realizado en colaboración con IBM Zurich usando sus sistemas POWER9+FPGA. Esta colaboración se enmarca en el proyecto IBM-BSC Deep Learning Center. Publicado en open source.

Tabla 15: Activo #5

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.2.6. Activo #6

Nombre
Acelerador de navegación autónomo (P4)
Descripción
Acelerador de red neuronal convolucional basado en una estructura de matriz sistólica y un circuito de mapeo convolucional basado en hardware
Propuesta de valor
Diseñado para maximizar la eficiencia energética. Con un rendimiento máximo de 128 GFLOPS usando aritmética FP16, el consumo de energía promedia 184 mW, lo que le da una eficiencia de 695 GFLOPS / W (actualmente, probablemente mejorará). Además, al implementar un nuevo circuito de mapeo convolucional en chip, el sistema es capaz de consumir 18 veces menos energía en transacciones DRAM en comparación con un mapeo clásico basado en software como la reducción de convolución (im2col).
Propietarios
BSC (70%): La arquitectura del acelerador en sí, su interfaz y algunas optimizaciones relacionadas con la agrupación de pesos. UPC (30%): Optimizaciones de operación de punto flotante para cálculo aproximado
Destinatarios
Proyecto DRAC. Para integrarse con el chip final del proyecto que integra Lagarto Ka y los distintos aceleradores.
IP Blocks
Opcionalmente, unidades coma flotante aproximadas.
Dependencias
IP de Synopsys (SRAMs y Register Files). IP PDK de GlobalFoundries 22nm FDX. FMADD de la unidad FP de la plataforma PULP (código abierto - solderpad) https://github.com/pulp-platform/fpnew Integrado en Lagarto Ka.
Derechos de propiedad intelectual
La intención es publicarlo en Open source, se prevé que en noviembre 2022. No es patentable. Básicamente es la implementación oportunista de técnicas existentes para un problema donde son particularmente eficientes La licencia específica se decidirá según avance el proyecto, será de tipo académico (e.g. Solderpad / Apache / etc)
Acceso
El repositorio público aún no está disponible. Acceso interno disponible en: https://gitlab.bsc.es/drac
Nivel de madurez tecnológica
El nivel de madurez al final del proyecto se espera que sea TRL 4-5. Actualmente está en un TRL 4

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Uso que se le quiere dar
Académico Se puede encontrar toda la información en los Entregables E4.2 (Oct 2021), E4.3 (Dec 2022) Aún no se utiliza en otros proyectos: se incorporará al grupo de propiedad intelectual reutilizable. Posible reutilización en proyectos: propuestas de proyectos de la UE en preparación. Prevemos que este componente será la base de nuevos desarrollos e , de momento por parte del BSC y la UPC, y probablemente por parte de otras universidades y centros de investigación. No hay colaboración con empresas, en el estado de madurez actual. El know-how generado se prevé que pueda dar lugar a contratos bilaterales con empresas interesadas en los próximos 5 años. Se espera publicarlo en Open Source
Casos de Éxito de Explotación
Queda integrado dentro de lagarto Ka

Tabla 16: Activo #6

5.2.7. Activo #7

Nombre
Implementación de unidades FP aproximadas (sumadores y multiplicadores) (P4)
Descripción
Código RTL para operadores de suma y multiplicación inexactos en formato FP binary16.
Propuesta de valor
IP sintetizable para ser utilizado en aplicaciones de redes neuronales con capas convolucionales tolerantes a imprecisiones numéricas.
Propietarios
UPC (70%) BSC (30%)
Destinatarios
Cualquier diseño de hardware / desarrollador de aceleradores que utilice operaciones convolucionales. Desarrolladores / diseño de HW de CPU y acelerador de propósito especial (industria y academia)
IP Blocks
Multiplicador de FP aproximado, sumador, sumador de multiplicación fusionado.
Dependencias
Diseño basado en la unidad FP de la plataforma PULP (código abierto - solderpad) https://github.com/pulp-platform/fpnew El Activo 3 está diseñado para ser parte de las unidades de procesamiento del acelerador automotriz (P4).

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Derechos de propiedad intelectual
No es patentable. Se trata de la implementación de técnicas previamente publicadas. La licencia específica se decidirá a finales de 2022, será de tipo académico (e.g. Solderpad / Apache / etc)
Acceso
El repositorio publico aún no está disponible. Interno: https://gitlab.bsc.es/drac
Nivel de madurez tecnológica
Se estima un TRL 4 al final del proyecto. Actualmente es un TRL 3.
Uso que se le quiere dar
CPU y aceleradores para aplicaciones tolerantes a la aritmética inexacta. El uso esperado es académico. Toda la información del producto interno se puede encontrar en el entregable E4.3. No se utiliza en otros proyectos: se incorporará al grupo de propiedad intelectual reutilizable. Posible reutilización en proyectos: propuestas de proyectos de la UE en preparación. No existe todavía colaboración con empresas.
Casos de Éxito de Explotación
-

Tabla 17: Activo #7

5.2.8. Activo #8

Nombre
Diodos de avalancha de fotón único (Single Photon Avalanche Diodes - SPADs; P5)
Descripción
Los SPADs son fotodetectores usados tanto para la detección de partículas, cámaras en entornos con muy poca luz, detectores de fluorescencia e incluso en LiDAR. Una de sus particularidades es el ruido de las medidas generado en los SPADs, dicho ruido es aleatorio.
Propuesta de valor
Pretendemos usar los SPADs para generar claves totalmente aleatorias, ya sea usando solamente el ruido generado por estos o usando sistemas de iluminación. En el proyecto se pretende demostrar que la tecnología es válida, colaborando con la URV. La colaboración, de conseguir demostraciones satisfactorias, se extendería más allá del proyecto.
Propietarios
UB: Diseño SPAD, diseño píxel (electrónica necesaria para generar datos digitales)
Destinatarios
Seguridad de las comunicaciones y la red
IP Blocks
SPAD
Dependencias
Ninguna

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Derechos de propiedad intelectual
Propietaria. La UB posee el know-how necesario para diseñar SPADs en distintas tecnologías. Aun así, estos diseños no son portables entre distintas fundiciones de semiconductores ya que el SPAD depende de la tecnología objetivo; en otras palabras, depende de las capacidades tecnológicas de cada fundición de semiconductores.
Acceso
Publicación del artículo: *HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem.* Accesible en: https://easychair.org/smart-program/FPL2021/index.html Las actas del congreso se publicarán próximamente. El código del programa utilizado está disponible en: https://github.com/beatsnbytes/classic_mceliece.
Nivel de madurez tecnológica
TRL 1
Uso que se le quiere dar
Quantum cryptography. Académico. Una vez hechas las comprobaciones técnicas del chip y evaluadas sus capacidades se pretende colaborar con distintas instituciones académicas para aumentar el grado de madurez tecnológica de la aplicación. Una vez logrado, se pretende identificar el camino para transferir nuestro activo al mercado.
Casos de Éxito de Explotación

Tabla 18: Activo #8

5.2.9. Activo #9

Nombre
Kit de herramientas para docencia (P6)
Descripción
Conjunto de materiales y demostradores ara ser usado en contextos de aprendizaje sobre la tecnología RISC-V
Propuesta de valor
Materiales docentes: textos, descripciones, lecciones, laboratorios, prototipos hardware, ejemplos de uso, propuestas de planes de estudio asociados
Propietarios
UAB, UPC, UB, URV (el material de cada socio es propio de cada uno)
Destinatarios
Instituciones docentes educación superior, IPN México.
IP Blocks
Materiales y prototipos
Dependencias
Se adaptará el código de los diseños Lagarto para uso académico. Por lo tanto, existe una dependencia con estos desarrollos.
Derechos de propiedad intelectual
Protección para facilitar el uso académico

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Los códigos y tecnologías ejemplos serian Open source. Presentaciones, informes y materiales académicos en Creative Commons 3.0 conservando la obligación de citar autores / Distribución académica de Lagarto. La licencia open source seria de tipo académico - MIT/BSD/Apache, a ser posible manteniendo el mismo tipo de licencias que se usen para publicar Sargantana o el resto de diseños RISC-V del proyecto.
Acceso
Se proporcionará desde un sitio web DRAC y repositorio interno disponible en: https://gitlab.bsc.es/drac
Nivel de madurez tecnológica
El nivel de madurez actual es de TRL 3. Se estima un TRL 3-4 a finales de proyecto.
Uso que se le quiere dar
Preparación de asignaturas en estudios superiores en espacio local, europeo e internacional Académico. Se podrá encontrar toda la información en los entregables de training de DRAC. Uso de herramientas de educación a través de la Red Risc-V y de las universidades.
Casos de Éxito de Explotación
Los materiales que se están recogiendo se están utilizando en los laboratorios de docencia

Tabla 19: Activo #9

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.3. Outcomes

Los outcomes se refieren a nuevos productos, servicios, procesos (o mejoras) que la organización ha obtenido como resultado de un proceso innovador. Los outcomes responden a los cambios que se esperan que la acción produzca con el tiempo, precisamente para responder a las necesidades que se han identificado, o también puede entenderse como los efectos de la acción.

A continuación, se exponen los outcomes según su estado:

- Demos [Demostradores de componentes que puedan ser relevantes para ser destacados / compartidos]
- Prototipo [previos a implementación / entornos simulados / etc]
- Prototipo [Tape Outs (para implementaciones físicas)]

5.3.1. DEMOS [Demostradores de componentes que puedan ser relevantes para ser destacados / compartidos]

DEMOS [Demostradores de componentes que puedan ser relevantes para ser destacados / compartidos]
¿Qué se ha implementado?
Un acelerador de uno de los candidatos a ser estándar del NIST de esquema de cifrado post-cuántico. Se ha usado una plataforma FPGA para este demostrador.
¿ Cuándo se ha implementado?
En 2021
¿Hay IPs relacionadas?
Activo 1: HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem.
¿ Dónde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Publicación del artículo: *HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem.* Accesible en: https://ieeexplore.ieee.org/abstract/document/9556415 El código del programa utilizado está disponible en: https://github.com/beatsnbytes/classic_mceliece

Tabla 20: Outcome #1

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

DEMOS [Demostradores de componentes que puedan ser relevantes para ser destacados / compartidos]
¿Qué se ha implementado?
Diseño del procesador Lagarto Ka y los distintos aceleradores del proyecto DRAC funciona en una FPGA (primera mitad del año 2022). Este demostrador es extremadamente útil para la verificación funcional de los distintos diseños, así como de cara a la fabricación final del procesador usando la tecnología GlobalFoundries 22FDX a finales de 2022.
¿ Cuándo se ha implementado?
Lagarto Ka: finales año 2021. Acelerador seguridad post-cuántica (marzo 2021), acelerador de genómica (abril 2021), acelerador para navegación autónoma (julio 2021). La integración final de todos los componentes en un único diseño está planificada para la primera mitad del año 2022.
¿Hay IPs relacionadas?
Lagarto Ka y los distintos aceleradores del proyecto DRAC.
¿ Dónde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Vatistas Kostalabros et al., "HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem". International Conference on Field-Programmable Logic and Applications (FPL), Septiembre 2021. Abbas Hagui et al., "An FPGA Accelerator of the Wavefront Algorithm for Genomics Pairwise Alignment". International Conference on Field-Programmable Logic and Applications (FPL), Septiembre 2021. Jordi Fornt, Master Thesis "Systolic Array-Based CNN Accelerator with On-Chip Convolutional Mapping", UPC y ETH Zürich, Septiembre 2021.

Tabla 21: Outcome #2

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.3.2. PROTOTIPO - [previos a implementación / entornos simulados / etc]

PROTOTIPO - [previos a implementación / entornos simulados / etc]
¿Qué se ha implementado?
Implementación CPU algoritmo WFA para proyectos de secuenciación con datos genómicos cortos (short reads) generados con secuenciadores de Illumina.
¿ Cuándo se ha implementado?
Septiembre 2019
¿Hay IPs relacionadas?
No.
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Articulo: Marco-Sola, S., Moreto, M., Espinosa, A., & Moure Lopez, J. C. (2020). Fast gap-affine pairwise alignment using the wavefront algorithm. Bioinformatics, 1-8. https://doi.org/10.1093/bioinformatics/btaa777 github asociado al articulo: https://github.com/smarco/WFA para descargar el código e instrucciones sobre cómo ejecutar el prototipo para analizar conjuntos de datos.

Tabla 22: Outcome #3

PROTOTIPO - [previos a implementación / entornos simulados / etc]
¿Qué se ha implementado?
Autonomous Navigation Accelerator on FPGA - Pynq-Z1 board (UPC)
¿ Cuándo se ha implementado?
Julio 2021
¿Hay IPs relacionadas?
No
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
ETH Zürich Master Thesis by Jordi Fornt, “Systolic Array-Based CNN Accelerator with On-Chip Convolutional Mapping”, September 2021

Tabla 23: Outcome #4

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.3.3. PROTOTIPO - Tape Outs [para implementaciones físicas]

PROTOTIPO - Tape Outs [para implementaciones físicas]
¿Qué se ha implementado?
Fabricación del procesador Lagarto in-order basado en la ISA RISC-V. (Lagarto Hun)
¿ Cuando se ha implementado?
Este diseño se mandó a fabricar en abril de 2019 y se recibieron las muestras de los chips en octubre de 2019. Se consiguió hacer el bring-up en noviembre de 2019.
¿Hay IPs relacionadas?
Diseño núcleo in-order Lagarto Hun. Uncore de LowRISC (caches de instrucciones, datos y de segundo nivel). Otros IPs relacionados: Lagarto Ka, extensiones de virtualización, aceleradores.
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Artículo técnico publicado en DCIS 2020: J. Abella et al, "An Academic RISC-V Silicon Implementation Based on Open-Source Components", DCIS 2020. Disponible en línea en: https://ieeexplore.ieee.org/document/9268664 Nota de premsa del BSC: https://www.bsc.es/ca/noticies/noticies-del-bsc/el-bsc-coordina-la-fabricaci%C3%B3-del-primer-xip-de-codi-obert-desenvolupat-espanya

Tabla 24: Outcome #5

PROTOTIPO - Tape Outs [para implementaciones físicas]
¿Qué se ha implementado?
Procesador DVINO (DRAC Vector IN-Order) que incluye un núcleo escalar Lagarto Hun in-order y una unidad de procesado vectorial (Vector Processing Unit, VPU) para computación de altas prestaciones.
¿ Cuándo se ha implementado?
Este diseño se mandó a fabricar en abril de 2021 y se recibirán las muestras de los chips en noviembre de 2021. Se espera hacer el bring-up en diciembre de 2021.
¿Hay IPs relacionadas?
Diseño núcleo in-order Lagarto Hun. Uncore de LowRISC (caches de datos y de segundo nivel). Otros IPs relacionados: Lagarto Ka, extensiones de virtualización, aceleradores.
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Noticia web de DRAC: https://drac.bsc.es/ca/media/news/tech-dvino-la-segona-generacio-dels-processadors-lagarto-enviat-fabricar-europractice Se dispone de un entregable tecnico de uso interno en el repositorio del proyecto. Disponible en:https://gitlab.bsc.es/drac/drac-inorder

Tabla 25: Outcome #6

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

PROTOTIPO - Tape Outs [para implementaciones físicas]
¿Qué se ha implementado?
Procesador RISC-V in-order (diseño Sargantana) y unidad vectorial tipo SIMD para genómica.
¿ Cuando se ha implementado?
Fabricación se realizó en Febrero 2022 usando la tecnología Global Foundries 22nm FDX. Se está pendiente de los resultados.
¿Hay IPs relacionadas?
Diseño núcleo in-order Lagarto Hun. Uncore de LowRISC (caches de datos y de segundo nivel), VPU SIMD para genómica. Otros IPs relacionados: Lagarto Ka, extensiones de virtualización, aceleradores.
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
El código se encuentra en el repositorio interno: https://gitlab.bsc.es/drac En estos momentos el código no es definitivo. Se espera tener una versión definitiva a finales de 2021, así como un technical report que describa el diseño en detalle que se terminará a principios del año 2022.

Tabla 26: Outcome #7

PROTOTIPO - Tape Outs [para implementaciones físicas]
¿Qué se ha implementado?
Diseño de distintos SPADs en la tecnología Global Foundries de 22 nm, integrado en el tape out del procesador Sargantana.
¿ Cuando se ha implementado?
Fabricación realizada en febrero 2022 usando la tecnología Global Foundries 22nm FDX.
¿Hay IPs relacionadas?
No.
¿ Dónde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
Los bloques analógicos de SPAD se pueden encontrar en los servidores de la UB

Tabla 27: Outcome #8

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

PROTOTIPO - Tape Outs [para implementaciones físicas]
¿Qué se ha implementado?
Procesador Lagarto Ka fuera de orden y los distintos aceleradores del proyecto DRAC para aplicaciones de medicina personalizada, seguridad y conducción autónoma.
¿ Cuando se ha implementado?
Se espera fabricar este procesador en diciembre de 2022 en la tecnología Global Foundries 22nm FDX. Una vez analizado el procesador Sargantana se realizarán los cambios que permitan mejorar las características del nuevo procesador.
¿Hay IPs relacionadas?
El tape out final de DRAC integrará todas las IPs desarrolladas en el proyecto: - Núcleo Lagarto Ka - Extensiones de virtualización. - Acelerador genómica - Acelerador criptográfico - Acelerador para navegación autónoma - Jerarquía de memoria on-chip
¿ Donde se puede encontrar información? [ej. Publicaciones / Anuncio Web / Descarga]
El código se encuentra en el repositorio interno: https://gitlab.bsc.es/drac En estos momentos el código no es definitivo. Se espera tener una versión definitiva a mediados del año 2022, así como un entregable técnico que describa el diseño en detalle que se terminará durante el mismo año 2022.

Tabla 28: Outcome #9

5.3.4. Timeline

		2019	2020	2021	2022	2023
DEMOS	Un acelerador de uno de los candidatos a ser estándar del NIST de esquema de cifrado post-cuántico			x x		
	Diseño del procesador Lagarto Ka y los distintos aceleradores del proyecto DRAC funcionando en una FPGA				x x	
PROTOTIPO	Implementación CPU algoritmo WFA para proyectos de secuenciación con datos genómicos cortos (short reads) generados con secuenciadores de Illumina	x				
	Autonomous Navigation Accelerator on FPGA - Pynq-Z1 board			x x		
PROTOTIPO - Tape Outs	Fabricación del procesador Lagarto in-order basado en la ISA RISC-V (Lagarto Hun)	x x				
	Procesador DVINO (DRAC Vector IN-Order) que incluye un núcleo escalar Lagarto Hun in-order y una unidad de procesado vectorial (Vector Processing Unit, VPU) para computación de altas prestaciones.			x x		
	Procesador RISC-V in-order (diseño Sargantana) y unidad vectorial tipo SIMD para genómica			x	X	
	Procesador Lagarto Ka fuera de orden y los distintos aceleradores del proyecto DRAC para aplicaciones de medicina personalizada, seguridad y conducción autónoma				x x	
	Diseño de distintos SPADs en la tecnología Global Foundries de 22 nm, integrado en el primer tape out del proyecto.			x	x	
Processadores		Hun		DVINO	Sargantana	DRAC

Tabla 29: Calendario de desarrollo de los outcoms y de los procesadores

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

	2019	2020	2021	2022
Tape Outs / Activos	Lagarto Hum	DVINO (EPI + Hun)	Sargantana	Lagarto Ka + Sargantana
1-Implementación del procesador fuera de orden Lagarto Ka				x
2-HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem				x
3-Implementación de extensiones de virtualización RISC-V				x
4-Unidad vectorial SIMD para aplicaciones de genómica			x	x
5-Implementación WFA GPU y FPGA				x
6-Acelerador de navegación autónomo				X
7-Implementación de unidades FP aproximadas				x
8-Diodos de avalancha de fotón único			x	
9-Kit de herramientas para docencia				

Tabla 30: Procesadores utilizados en los activo del proyecto

5.4. Modelo Canvas

En E3 se proporciona una explicación de los diferentes cuadros y secciones del lienzo

- Infraestructura
  - Socios clave: Se consideran los socios principales del proyecto BSC, UAB, UB, UPC, URV, CNM, IPN
  - Actividades clave: Todas las tareas a realizar en los 6 proyectos o paquetes de trabajo para la investigación sobre un procesador de alto rendimiento para los sectores de Seguridad, medicina de precisión y navegación autónoma
  - Recursos clave: Se consideran los activos explotables desarrollados en el proyecto y que pueden ser incorporados dentro de la propuesta de valor del modelo de negocio
- Oferta
  - Oferta de valor: Se está contribuyendo en el diseño y desarrollo de un procesador 100% europeo, disminuyendo así la dependencia a tecnologías no-europeas (americanas y asiáticas). Está optimizado para su uso en sectores clave de alto crecimiento y con gran necesidad de procesadores y que están analizados en el estudio de mercado (Genómica, Seguridad, Automoción / Navegación Autónoma). Se generan materiales libres de uso para fines docentes y de difusión de la tecnología RISC-V, contribuyendo a la formación de la siguiente generación de profesionales y expertos.
- Clientes
  - Segmentos de clientes: Según explicado en el estudio de mercado, los segmentos dependen del mercado especifico, e incluyen un mix de instituciones públicas o

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

privadas (Gobierno, EU, centros de cómputos, centros de I+D y universidades, Centros que generen grandes volúmenes de datos o quieran mantener el control total de su procesamiento, proveedores de electrónica para automoción)

- Canales: Se consideran aquellos canales que faciliten la rápida adopción de las tecnologías priorizando la publicación de código en Open Source o el know how generado a través de las Instituciones educativas. Igualmente se considera el establecimiento de acuerdos de I+D o de licencias con aquellas empresas interesadas.
- Relaciones con los clientes: Inicialmente los miembros del comité asesor proporcionan un primer nivel de acceso a los early adopters, después, a través del establecimiento de comunidades Open Source o de las Universidades y centros de investigación con programas de grado o postgrado

- Finanzas
  - Estructura de costes: Incluye costes de desarrollo del producto, personal, herramientas de diseño (EDA), costes de fabricación, así como costes de adaptación e implantación en los programas educativos
  - Fuentes de ingresos: Se considera la financiación pública (ej. a través de proyectos competitivos) o interna de los socios, igualmente se considera la inversión privada de empresas quieran adoptar

DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Socios clave

BSC, UAB, UB, UPC, URV.
CNM, IPN

Actividades clave

Investigación y desarrollo sobre un procesador de alto rendimiento para los sectores de Seguridad, medicina de precisión (genómica) y navegación autónoma
Elaboración de materiales.
Difusión de la tecnología RISC-V.

Recursos clave

Implementación de unidades de FP aproximadas
Diodos de avalancha de fotón único (SPAD)
Implementación de la unidad SIMD de extensiones de virtualización RISC-V para aplicaciones genómicas
Implementación WFA GPU y FPGA
Secuencia de implementación prefiltrado de semillas FPGA
Co-diseño HW / SW basado en HLS
Implementación de procesador fuera de servicio
Conjunto de recursos y materiales para realizar actividades docentes en entidades de educación superior

Propuesta de Valor

- Procesador 100% europeo
- Aplicación en Genómica, Seguridad, Automoción / Navegación Autónoma
- Materiales libres de uso para fines docentes y de difusión de la tecnología RISC-V

Relaciones con clientes

Advisory Board
Comunidades Open Source
Universidades y centros de investigación con programas de grado o postgrado

Canales

Comunidad Open Source
Instituciones educativas
Acuerdos de I+D o licencias

Segmentos de cliente

Gobierno, Comisión Europea, centros de cómputos
Instituciones que realicen I+D
particulares y comunidades
Centros que generen grandes volúmenes de datos o quieran mantener el control total de su procesamiento Proveedores de electrónica para automoción

Estructura de costes

Desarrollo del producto / Personal / Desarrollo / Herramientas de Diseño / Costes de Fabricación
Coste de adaptación e implantación en el programa

Fuentes de ingresos

Financiación pública / Interna de los Socios
Privada en caso que empresas quieran adoptar

Ilustración 18: Modelo CANVAS DRAC

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.5. Actividades de Explotación

Dentro de las fichas de los activos se proporciona la información sobre el Uso y actividades de explotación que se están realizando. Un aspecto clave de los mismos es la gestión de la propiedad intelectual de los activos, puesto que de ella depende en gran medida el tipo de explotación que se puede realizar. En el plan de explotación E6.2 se especifica la intención de publicar en código abierto cuando sea posible.

De cara a evaluar las distintas opciones de licencias Hardware, se realizó una publicación seminal para orientar en la elección de la licencia Montón, Màrius & Salazar, Xavier (2020). *On licenses for [Open] Hardware*. La publicación fue aceptada y presentada en el congreso DCIS. Este documento tiene como objetivo ayudar al lector a comprender cómo lanzar hardware abierto con la licencia más adecuada y responder preguntas que sean de interés actual. Viene motivado principalmente por la creciente influencia del RISC-V ISA abierto, pero tratando de abordar un punto de vista más amplio del hardware. Tal y como se explica en el artículo, gracias al éxito y la adopción generalizada de muchos proyectos de código abierto (Linux, LibreOffice, etc.), la comunidad y los usuarios suelen tener un buen conocimiento de las licencias de software. Los desarrolladores en general tienen una idea clara del panorama general de las licencias de software, junto con los pros y los contras y los derechos retenidos y concedidos por cada tipo de licencia de software.

Por otro lado, cuando cambiamos a proyectos de hardware, el panorama de las licencias, si bien es general y conceptualmente similar, puede variar ligeramente y el conocimiento de los desarrolladores es escaso. Con el advenimiento de las iniciativas de hardware de código abierto, es cada vez más importante familiarizarse con esos conceptos. Por lo tanto, este documento intenta abordar este desafío aclarando los conceptos básicos de las licencias, cómo se utilizan para el hardware y aplica este conocimiento a dos casos de uso diferentes.

Se incluye una lista de conceptos básicos que vienen tradicionalmente del software de código abierto y que se están extrapolando al hardware como las diferencias entre código libre, gratis o abierto, código propietario (protegido a través de secreto industrial o patente), autoría, propiedad, publicación, trabajos derivados, copyright, copyleft/reciprocidad, compatibilidad entre licencias y patentes en código abierto.

Los tipos de licencia típicos en software incluyen:

- GPL: General Public License (GPL)
- BSD licenses: BSD (Berkeley Software Distribution)
- MIT: The MIT (Massachusetts Institute of Technology)
- EUPL: European Union Public Licence (EUPL)
- Apache License: The Apache License by the Apache Software Foundation (AFL)

Los tipos de licencia típicos en hardware incluyen – además de las licencias software – también las siguientes se han adaptado a la terminología específica del hardware

- CERN Open Hardware License: The CERN Open Hardware License (OHL or CERN OHL
    - CERN-OHL-S: strongly reciprocal license
    - CERN-OHL-W: weakly reciprocal license.
    - CERN-OHL-P: permissive license.
- Solderpad: The Solderpad Hardware License

El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

La publicación incluye dos ejemplos prácticos de cómo se licencian proyectos hardware, basados en cómo se está proyectando hacer la publicación dentro del proyecto DRAC.

La intención de publicar en código abierto está descrita en las tablas de activos, estando la mayoría de ellos siguiendo los procesos internos de decisión de tipo de licencia o planteándose la protección a través de patente antes de publicar.

En cuanto a actividades de explotación también se incluyen en las tablas de activos el plan de uso de cada uno de los socios. Un análisis de lo reportado:

- Según el grado de madurez de los desarrollos realizado – estando la mayoría en pruebas de concepto y demostradores (TRL 4-5), el uso a corto plazo esperado es académico – permitiendo la maduración de las tecnologías. El uso comercial se espera a medio plazo.
- Se fomentará la adopción académica, a través de los programas educativos de las universidades – ayudando a la preparación de la siguiente generación de expertos, así como la provisión de las tecnologías a través de acceso open source, promoviendo la creación de un ecosistema de usuarios inicial.
- Mediante la realización de bloques de IP re-usables, se está fomentando el uso de los mismos en otros proyectos de investigación y grandes iniciativas europeas (MEEP, eProcessor, etc) que permiten seguir el proceso de maduración y mejora tecnológica. Asimismo, estos proyectos son una vía de transferencia hacia la industria del know-how y tecnologías
- Ya existen colaboraciones de I+D con grandes socios industriales que incluyen, evalúan o siguen el desarrollo de algunas de las tecnologías (IBM, Lenovo, Huawei, etc) y se espera aumentar el número una vez finalizado el proyecto
- Se espera atraer el interés de las empresas integrantes del comité experto asesor como early adopters de las tecnologías.

En el proyecto se desarrollan diferentes pruebas de concepto, demostradores y prototipos de las implementaciones físicas de las IPs que sirven para atraer la atención de usuarios, empresas y futuros inversores.

DRAC
El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Para poder analizar el progreso en las actividades de explotación de los activos se ha elaborado la siguiente tabla resumen que permite poner el foco en el uso que se le quiere dar y los casos de éxito de los activos.

Resultado	Socio	Uso que se le quiere dar	Caso de Éxito
1-Implementación del procesador fuera de orden Lagarto Ka	BSC	Extensión de la colaboración con el CNM. Spin off. uso académico (corto plazo) e industrial (medio plazo).	Desarrollo de un PLL para DRAC en 22nm. implementación en el tape-out eProcessor- extensiones vectoriales específicas para genómica.
2-HLS-Based HW/SW Co-Design of the Post-Quantum Classic McEliece Cryptosystem	URV, BSC	Integrando con el procesador Lagarto y en el chip final de DRAC. Uso comercial.	Publicación del código en open source
3-Implementación de extensiones de virtualización RISC-V	UPC	Tecnologías integradas en el chip principal lagarto Ka. Uso en otros proyectos.	eProcessor- integra una pila completa de software y hardware para ofrecer un sistema TRL superior.
4-Unidad vectorial SIMD para aplicaciones de genómica	BSC, UAB	Académico y potencialmente comercial.	eProcessor- extensiones vectoriales específicas para genómica. Colaboraciones con CNAG o CRG. Lenovo
5-Implementación WFA GPU y FPGA	UAB, BSC	Académico y comercial. Proteger bajo licencia. Colaboración con empresa para finalizar el desarrollo.	Diseño del GPU en colaboración con Lenovo. Diseño del FPGA colaboración con IBM Zurich. Publicado en open source.
6-Acelerador de navegación autónomo	BSC, UPC	Académico. Incorporación al grupo de propiedad intelectual reutilizable. Publicación en Open source. Contratos con empresas en 5 años.	Queda integrado dentro de lagarto Ka
7-Implementación de unidades FP aproximadas	UPC, BSC	Académico. Incorporación al grupo de propiedad intelectual reutilizable.	-
8-Diodos de avalancha de fotón único	UB	Académico. Colaborar con instituciones académicas para aumentar el grado de madurez tecnológica. Identificar el camino para transferir el activo al mercado.	-
9-Kit de herramientas para docencia	UAB, UPC, UB, URV	Incorporar en estudios superiores a nivel local, europeo e internacional. Uso académico.	Los materiales que se están recogiendo se están utilizando en los laboratorios de docencia

Tabla 31: Uso que se le quiere dar a los resultados

DRAC
El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.6. Comité Industrial Asesor (Advisory Board)

El Comité Asesor es un grupo independiente compuesto por diferentes organizaciones del sector, interesadas en el proyecto y con capacidad para apoyar su desarrollo. Están representadas por expertos mundiales líderes en las áreas de investigación del proyecto.

Los objetivos principales del Comité Asesor de DRAC son:

- Supervisar el desarrollo del proyecto
- Proporcionar asesoramiento estratégico en la gestión del proyecto y en los aspectos técnicos y científicos
- Proporcionar asesoramiento experto en la gestión de derechos de autor
- Facilitar el intercambio de ideas
- Establecer contactos entre los socios del proyecto y la industria

En enero 2020 se iniciaron las conversaciones con las empresas que apoyaron al proyecto con una carta de interés. Algunas de estas empresas siguieron interesadas en crear relaciones con el proyecto. También se iniciaron conversaciones con empresas con las que no se contactó en la fase de propuesta. A continuación, se listan las empresas con las que se contactó con la propuesta de participar en el Comité Asesor de DRAC:

- Albedo Telecom (AMETIC)
- Amper (Red RISC-V)
- Arduino (Red RISC-V)
- Atos (Red RISC-V)
- Centre Nacional d'Anàlisi Genòmic (CNAG-CRG)
- Centre Nacional de Microelectrònica (CNM-CSIC)
- CTTC (AMETIC)
- Erni Consulting España S.L. (AMETIC)
- eSilicon
- Esperanto TECH (Red RISC-V)
- FICOSA
- Inphi
- Metempsy (Red RISC-V)
- Microchip (Red RISC-V)
- Nearby Computing
- Nostrum Biodiscovery (NBD)
- nVision (Red RISC-V)
- RDI Network (Red RISC-V)
- SemiDynamics
- Submer
- Synopsys
- TTTech Auto Iberia
- Worldsensing
- Silicon Gears
- SIPEARL

Entre las empresas que han aceptado la propuesta, las conversaciones iniciales han derivado en primer lugar en la firma de documentos de confidencialidad junto a la incorporación de las empresas al comité industrial (Advisory Board) del proyecto DRAC. Estas relaciones, aunque solo sean a nivel informativo, crean diferentes oportunidades al proyecto:

- Crear expectativas de los futuros desarrollos a las empresas asociadas
- Actualizar los requisitos del proyecto a las necesidades de las empresas del sector
- Crear una red de contactos en los sectores de interés del proyecto

Todos los miembros del Comité asesor han firmado un documento de confidencialidad, un documento que acredite que no hay conflicto de interés que pueda perjudicar al proyecto, y en el caso de las empresas un consentimiento de uso del logo.

DRAC
El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

Las obligaciones de los socios del proyecto hacia el Comité asesor son:

- Enviar un comunicado al Comité Asesor cada 6 meses donde se describa el estado actual del proyecto.
- Organizar una reunión anual donde se explicará al Comité Asesor el estado del proyecto y donde se abra u debate para escuchas la opinión y recomendaciones del Comité.

A continuación, se presenta la lista de las empresas con las que se prevé firmar en un futuro cercano la documentación para formar parte del Comité Industrial Asesor:

Empresa	Contacto
Albedo Telecom (AMETIC)	José Manuel Caballero
Atos (Red RISC-V)	Albert Trill
CNM-IMB	Lluis Terés
Erni Consulting España S.L	Gerard Esparducer
Nearby Computing	Nicola Cadenelli
nVision (Red RISC-V)	Narcis Avellana
RDI Network (Red RISC-V)	Juan José Grosso
Submer	Daniel Pope
World Sensing	Xavier Vilajosana
Sipearl	Anna Riverola

Tabla 32: Miembros del Consejo Asesor

También se cuenta dentro del Comité Industrial, pero sin vinculación a empresa, a Albert Sitjà y Guillem Solé. Ambos cuentan con un largo recorrido y conocimiento del sector.

Estas empresas siguen en contacto con el proyecto a través de correos periódicos donde se informa de los principales avances del proyecto. Paralelamente, el 7 de octubre de 2021 se organizó una reunión para presentar el proyecto y los avances realizados hasta el momento al Comité Industrial en la que participaron un total de 27 invitados. Durante la reunión se presentó un resumen general de DRAC seguido por una descripción y estado de cada uno de los paquetes de trabajo dejando un espacio para preguntas del Comité después de cada presentación. Las conversaciones durante la reunión dieron lugar a la interacción entre los socios y el Comité Industrial en algunos aspectos técnicos clave hacia los que se mueve el mercado. También se identificaron posibles nuevas colaboraciones para la explotación del proyecto. Los objetos de estas posibles colaboraciones aún han de madurar para poder valorar el interés real de las empresas.

Algunas de las empresas contactadas que no han aceptado la propuesta de pertenecer al Comité Industrial, han manifestado su interés por seguir la trayectoria de DRAC. Por ello se ha creado una lista de distribución para poder mantener el contacto con estas empresas y en un futuro poder explorar nuevas oportunidades.

DRAC
El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.

5.7. Indicadores

Según las bases de la convocatoria ORDRE EMC.66.2018, los indicadores se dividen en 3 categorías a) Indicadores del Programa Operativo FEDER de Cataluña 2014-2020, b) Indicadores de la Estrategia de Investigación e Innovación para la Especialización Inteligente de Cataluña (RIS3CAT) y c) Indicadores específicos de la convocatoria. Los apartados b) y c) contemplan datos de seguimiento de la explotación. A continuación, se muestra el cuadro de indicadores que permite medir y hacer el seguimiento de los resultados alcanzados y del grado de consecución de los objetivos específicos. Los indicadores son los siguientes:

Nombre	Código	2021	Previsión 2023
Indicadores de la Estrategia de Investigación e Innovación para la Especialización Inteligente de Cataluña (RIS3CAT)			
Número de patentes solicitadas o registradas	RIS3-18	0	2
Número de spin-off creadas	RIS3-16	0	1
Indicadores específicos de la convocatoria			
Indicadores de entorno			
Número de empresas del sector de aplicación de la actividad emergente a escala local	-	18.000	18.000
Número de empresas creadas en el grupo de investigación en el sector la actividad emergente	-	0	1
Indicadores de resultado			
Número de contratos firmados con empresas	-	12	12
Indicadores de impacto			
Número de patentes licenciadas	-	4	2
Número de licencias de software	-	1	3

Tabla 33: Indicadores

DRAC
El proyecto DRAC con número de expediente 001-P-001723 ha sido cofinanciado en un 50% con 2.000.000,00€ por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del Programa Operativo FEDER de Cataluña 2014-2020, con el soporte de la Generalitat de Cataluña.