

Informe del desarrollo de la plataforma de test i la caracterización de los chips procesadores

Diseño de aceleradores basados en la tecnología RISCV para la próxima generación de computadoras (DRAC)

Código de Proyecto: 001-P-001723

Número de entregable: Nombre de entregable:	E5.4 Informe del desarrollo de la plataforma de test i la caracterización de los chips procesadores
Revision:	01
Fecha límite del entregable: Fecha de entrega:	21 Abril, 2022 01 Diciembre 2022
Fecha de inicio del proyecto: Duración:	1 June 2019 36 Meses
Partner responsible del entregable: Autor (es) del entregable:	Universitat de Barcelona Fernando Arreza, Manel López, UB

Este proyecto está financiado por el Fondo Europeo de Desarrollo Regional de la Unión Europea en el marco del programa Operativo FEDER de Cataluña 2014-2020 con una financiación de 2.000.000€ y con el soporte de la Secretaria de Universidades e Investigación

	Grado de divulgación	
PU	Público	
СО	Confidencial, solo para miembros del consorcio	Х







Historia del documento

Versión	Fecha	Descripción/Cambios	Razones
01	01 Diciembre, 2022	Versión inicial	



Índice

Contenido

Historia del documento	2
Índice	3
Resumen ejecutivo	4
1. Tecnología escogida para la fabricación de prototipos DRAC 1.1. Antecedentes	5 5
1.2. Simulaciones realizadas en DVINO. Análisis de la integridad de la señal 1	0
 Desarrollo del sistema de test para el chip SARGANTANA: La tercera generación de procesadores Lagarto	2 2
2.2. Stackup de la PCB 1	2
2.3. Sistema de alimentación de la PCB 1	4
2.4. Componentes asociados al testeo del microprocesador1	5
2.4.a. El zócalo del microprocesador, memoria HyperRAM1	5
2.4.b. El conector FMC 1	5
2.4.c. Relojes 1	6
2.4.d. Circuiteria asociada al ADC 1	6
2.4.e. Circuiteria asociada a la SDCard1	6
2.4.f. Puertos de comunicaciones serie 1	6
3. Fechas y coste de fabricación 1	7
4. Librerías e IPs relacionadas 1	8
5. Referencias 2	2
6. Apéndice A (Esquemáticos de la placa Sargantana) 2 6.1. ASIC	3
6.2. ADC	.4
6.3. CONECTOR FMC	25
6.4. Alimentación (1/2)(3.3, 2.5, 1.8, 0.8) 2	6
6.5. Alimentación (2/2)(BGBIAS PMOS, BGBIAS NMOS) 2	27
6.6. JTAG/UART 2	8
6.7. Jumpers de selección / Reloj / PLL / SPI core 2	9
6.8. HyperRAM 3	0
6.9. SERDES	51
7. Apéndice B (Listado de componentes de la placa Sargantana) 3	2
8. Apéndice C (Manual de usuario de la placa Sargantana) 3	2
9. Apéndice D. Resultados	3 3



Resumen ejecutivo

El presente documento presenta las características de diseño de las diferentes placas de circuito impreso (PCB) que van a permitir la validación de los procesadores basados en RISC-V desarrollados en este proyecto.

El objetivo de las diferentes PCBs desarrolladas es poder testear los procesadores, permitiendo su conexión con las herramientas de test que nos permitirán analizar el comportamiento de estos, conocer sus características, analizar errores si los hubiera, validar su funcionamiento y detectar opciones de mejora.

Las herramientas que utilizaremos para el diseño de los PCBs será el software de Siemens Xpedition[©], ya que nos permite unos niveles de diseño y simulación muy elevados. Desde análisis SPICE de los diferentes subcircuitos del sistema y análisis térmico de las pistas hasta detección del tiempo de propagación de las señales, nivel de crosstalk entre pistas y análisis de ruido en modo común y modo diferencial.

El fabricante y montador de PCBs con el que trabajaremos es la empresa Rompal S.A. Rompal S.A. presenta unas elevadas prestaciones tecnológicas, que incluyen el montaje de todo tipo de componentes SMD, inspección mediante tecnología de Rayos X y Flying Probe Tester.



1. Tecnología escogida para la fabricación de prototipos DRAC

1.1. Antecedentes

El pasado mes de mayo de 2021 se envió a fabricar a Europractice la segunda generación de los procesadores Lagarto. Este chip, bautizado con el nombre de DVINO se desarrolló en el nodo tecnológico TSMC de 65 nm. DVINO implementaba el repertorio de instrucciones abierto RISC-V y se desarrolló conjuntamente por investigadores del BSC, CIC-IPN, CNM y UPC. DVINO (Drac Vector In Order) integraba un núcleo escalar Lagarto con el procesador vectorial Hydra. Las principales novedades que incorporaba DVINO respecto su predecesor eran las siguientes:

- Estructuración del diseño segmentado lineal. De acuerdo con las simulaciones realizadas, se buscaba conseguir un 15% de mejora en el IPC de las aplicaciones de interés.
- Actualización de la ISA entera a la versión 2.1 y de la ISA privilegiada a la versión 1.11
- Nueva VPU siguiendo las extensiones vectoriales de RISC-V versión 0.7.1.
- Integración de un PLL. Permite un incremento de 3x en la frecuencia del reloj.
- Nuevos controladores: SDRAM, HyperRAM, VGA.
- Nueva IP personalizada para convertir señales analógicas a digitales (AD converter) con alta resolución.
- Incremento del área de 3.5x en el mismo nodo tecnológico.

El proceso necesario para testear este chip requería de la interconexión del mismo con los diferentes periféricos, así como con diferentes herramientas de test, lo que implicó el desarrollo de una placa de circuito impreso (PCB) que permitiera las diferentes interconexiones.

En particular, esta PCB debería permitir la siguiente funcionalidad y tener las siguientes características:

- Testeo del procesador DVINO. La PCB incluirá un socket para poder incorporar diversos procesadores que sean compatibles con el pin-out y la funcionalidad del procesador (Figura 1).
- Conexión del procesador DVINO con 8 módulos de memoria DDR (Figura 2).
- Conexión del procesador DVINO con 4 módulos de memoria HYPERRAM (Figura 3).
- Sistema de conexión con FPGA externa, que incluye diferentes adaptadores de señal (level shifters) (Figura 4).
- Sistema de alimentación y gestión del ADC (Figura 5).
- Sistema de alimentación general (Figura 5).
- Lector de tarjetas micro-SD, conectores de VGA, sistema de Power-On-Reset y sistema de reloj general (Figura 6).





Figura 1. Captura del esquema y del layout del socket para DVINO

El diseño de la PCB se realizó en el BSC. Las simulaciones se realizaron a posteriori (una vez diseñado la PCB) en la UB con el fin de entender como iba a ser el comportamiento del sistema de test. Finalmente, el test HW se realizó en la UPC y en el CNM.

Una de las preguntas que se plantearon en el proyecto era la relacionada con la integridad de la señal. El desarrollo de la PCB de testeo de DVINO se realizó utilizando el IDE de KiCad. Este sistema de desarrollo incorpora una potente funcionalidad en lo referente al desarrollo de PCBs, creación de componentes y simulaciones de ancho de pista, disipación de potencia, etc, pero no permite analizar el comportamiento de las pistas de alta velocidad, y determinar la integridad de la señal. A modo de aprendizaje, se decidió simular el comportamiento de aquellas pistas que se consideraban más críticas, las que interconectaban el procesador con las memorias, y en



particular las que hacían referencia a las señales de reloj. Esto permitiría ayudar a prever posibles problemas de integridad a los ingenieros de test, que trabajarían en la UPC y el CNM con la placa funcional. Las simulaciones se realizaron con el paquete Hyperlynx, disponible en el IDE de Mentor: Xpedition Enterprise. Esto supuso tener que trasladar el diseño de PCB de KiCad a Xpedition, siguiendo el trazado inicial realizado. Las figuras 2, 3, 4, 5 y 6 muestran el detalle del diseño de los diferentes periféricos que, juntamente con el microprocesador, forman el sistema de test de este prototipo.



Figura 2. Conjunto de memorias DRAM implementadas en la placa de test de DIVINO



Figura 3. Conjunto de memorias HyperRAM implementadas en la placa de test de DIVINO





Figura 4. Conector Packetizer implementado en DIVINO para interconectar el microprocesador con el módulo FPGA para el testeo de las diferentes partes del chip.



Figura 5. Sistema de alimentación implementado en la placa de test de DIVINO





Figura 6. Interconexión de una tarjeta de memoria SD, circuito de RESET y circuito oscilador primario desarrollado para el sistema de test de DIVINO.

Desde el punto de vista de la PCB el diseño se realizó considerando un layout de 6 capas, tal y como se aprecia en la figura **Figura 7**. La fabricación de la PCB se realizó conjuntamente con la empresa <u>ARES</u>. Esta empresa fue la encargada de la fabricación de los circuitos de placa impresos, la compra de componentes y el montaje de las placas.



Vista de su Stackup	Сара	Toler. Min notas (1-2-3-4)	Espesor seleccionado	Su selección		Di	eléctr	ico	
	Serigrafía T			Su selección: Serigrafía blanco					
	Máscara TOP	20 µm	20 µm	Su selección: Máscara verde			4		
	CU - 1	32 µm	35 µm	35 μm					
	PP - 1	45 µm	80 µm	80 µm (1080)	4.21				
	CU - 2	32 µm	35 µm	35 μm					
	FR4 - 1	72 µm	80 µm	80 µm			4.26		
	CU - 3	32 µm	35 µm	35 μm					
	PP - 2	1020 µm	1090 µm	195 μm (7628) + CLAD - 700 μm + 195 μm (7628)	4.74	4.65	4.74		
	CU - 4	32 µm	35 µm	35 μm					
	FR4 - 2	72 µm	80 µm	80 µm			4.26		
	CU - 5	32 µm	35 µm	35 μm					
	PP - 3	45 µm	80 µm	80 µm (1080)	4.21				
	CU - 6	32 µm	35 µm	35 μm					
	Máscara BOT	20 µm	20 µm	Su selección: Máscara verde			4		
	Serigrafía B			Su selección: Serigrafía blanco					
	Espesor tota	I	1660 µm						

Figura 7. Estructura de capas PCB DVINO

1.2. Simulaciones realizadas en DVINO. Análisis de la integridad de la señal

La herramienta de Siemens Hyperlynx permite la simulación de un diseño electrónico para verificar la integridad de las distintas señales de la PCB. Esta herramienta se utilizó para analizar algunas de las líneas que conectan el procesador y los distintos tipos de memoria. En la figura **Figura 8** se observa la señal de reloj (dram_ck) que va del procesador a uno de los

En la figura **Figura 8** se observa la señal de reloj (dram_ck) que va del procesador a uno de los módulos de memoria HyperRAM.



Figura 8. Señal de reloj de las HyperRAM (100 MHz)

Como se puede apreciar en la figura, la señal dram_ck a 100 MHz presenta "overshoot" y problemas de integridad de señal debidos al desajuste de impedancias entre los distintos elementos (ASIC, PCB, HyperRAM). A nivel de simulación se obtuvieron peores resultados al analizar la integridad de la señal de los módulos SDRAM. Cuando se realizó la simulación de la señal de reloj de las memorias sdram el resultado fue el que se muestra en la figura Figura **9**, donde se aprecia que ya a la salida del microprocesador, la señal de reloj tiene una distorsión



importante, aunque aún es reconocible el periodo de la misma. Sin embargo, a la entrada de las memorias SDRAM, la señal de reloj es prácticamente indetectable, cosa que augura un mal comportamiento para este tipo de memorias.



Figura 9. Simulación del reloj de las memorias sdram

Los problemas de integridad de señal son aún mayores que los observados en el caso del reloj de las memorias HyperRAM. La conclusión básica que observamos es que vemos la necesidad de añadir al flujo de diseño las simulaciones de integridad de señal para verificar que el comportamiento de las señales sea el adecuado para el correcto funcionamiento del sistema.



2. Desarrollo del sistema de test para el chip SARGANTANA: La tercera generación de procesadores Lagarto

2.1. El procesador

La tercera generación de procesadores Lagarto se ha diseñado conjuntamente por la UB, la UPC y el BSC.

El nuevo ASIC está fabricado en 22. En el nuevo PCB se han de incluir tensiones de alimentación de 0.8 (core), 1.8 (IO y componentes como las memorias HyperRAM, traductores de nivel), 2.5 (conector FMC), y 3.3 V (tarjeta SD, UART, JTAG, ...), también se incluyen alimentaciones de 0 a 1.8 V y de 0 a –1.8 V para los pads PMOS_BGBIAS y NMOS_BGBIAS respectivamente. El nuevo diseño incluye un puerto SERDES que trabajará a alta frecuencia (8 GHz) por lo que en el diseño de la placa ha realizado un control de impedancias (100 Ω diferencial) de las líneas asociadas al SERDES, la placa incluye (entre otros componentes) 6 módulos de memoria HyperRAM, un conector FMC y dos generadores de reloj. Por esta razón también se ha optado por una configuración de capas similar a la del anterior diseño (DVINO).

2.2. Stackup de la PCB

La PCB se diseñó siguiendo una estructura de 6 capas. La configuración de este diseño sigue las siguientes reglas:

Capa 1: Señal Capa 2: GND Capa 3: VCC Capa 4: Señal Capa 5: GND Capa 6: Señal

Con esta configuración de capas se obtienen buenas características de la PCB respecto a desacoplo, EMC e integridad de señal. Esta información se ha obtenido del documento de Texas Instruments [High-Speed Layout Guidelines (SCAA082A)], el resumen de este se presenta en la Tabla 4 de dicho documento y representado en la figura Figura **10**.

	Model 1	Model 2	Model 3	Model 4	Model 5	Model 6
Layer 1	SIG	SIG	GND	SIG	SIG	SIG
Layer 2	SIG	GND	VCC	GND	GND	GND
Layer 3	VCC	VCC	SIG	VCC	VCC	VCC
Layer 4	GND	VCC	SIG	SIG	GND	GND
Layer 5	SIG	GND	VCC	GND	Not used	SIG
Layer 6	SIG	SIG	GND	SIG	SIG	SIG
Decoupling	Good	Good	Good	Good	Good	Good
EMC	Bad	Good	Satisfaction	Satisfaction	Good	Good
Signal integrity	Bad	Good	Bad	Good	Good	Bad

Table 4. Possible Board Stackup on a Six-Layer PCB

Figura 10. Captura de pantalla realizada del documento de Texas Instruments High-Speed Layout Guidelines (SCAA082A)

Relacionado con la estructura de capas, tenemos que considerar el control de impedancia de las líneas de comunicaciones, ya que dependiendo de su posición dentro del stack, habrá una variación en la impedancia característica de la pista. En este sentido, para poder controlar las



impedancias de las líneas diferenciales que requieren una impedancia de 100 Ω es necesario que estas líneas dispongan de planos de referencia (GND) adyacentes. Por ello se utilizan las capas 1 y 6 para el trazado de las líneas diferenciales.

Con el stackup del fabricante de la PCB introducido en la herramienta de diseño de la PCB (Siemens Xpedition Enterprise) el cálculo del grosor de las líneas y la separación entre líneas diferenciales se calcula automáticamente para obtener la impedancia diferencial requerida. Dicha información se muestra en la figura Figura **11**. Estos valores se han introducido en el programa Xpedition PCB y nos permitirán realizar las simulaciones de integridad de señal con una mayor semblanza a lo que sería el comportamiento real del sistema.

	Visible	Color	Pour Draw Style	Layer Name	Type	Usage	Thickness um, gram	Er	Test Width um	Z0 ohm	Thermal Conductivity W/m-C	Description
1		1 2	1		Dielectric	Solder Mask	20	3.3		÷	0.3	Solder Mask
2			None	TOP	Metal	Signal	35	<auto></auto>	152.4	56.6	393.693	Microstrip
3	Table 1	1	anner i	a-countraint?	Dielectric	Substrate	130	4.45			0.3	Core / Prepreg
4	Ø		None	GND_01	Metal	Plane	17.5	<auto></auto>	152.4	67	393,693	Plane
5					Dielectric	Substrate	500	4.72			0.3	Core / Prepreg
6			None	VCC	Metal	Plane	17.5	<auto></auto>	152.4	61.9	393.693	Plane
7	11000			and the second sec	Dielectric	Substrate	195	4.74			0,3	Core / Prepreg
8	Ø		None	InnerSignal1	Metal	Signal	17.5	«Auto»	152.4	56.1	393.693	Stripline
9	1000	-			Dielectric	Substrate	500	4.72			0.3	Core / Prepreg
10	Ø		None	GND_07	Metal	Plane	17.5	<auto></auto>	152.4	68.4	393.693	Stripline
11					Dielectric	Substrate	130	4.45			0.3	Core / Prepreg
12	Ø		None	BOTTOM	Metal	Signal	35	«Auto»	152.4	56.6	393.693	Microstrip
13	distance.	1	A1001008 [1		Dielectric	Solder Mask	20	3.3		1.0000	0.3	Solder Mask

(a)

Constraint Manager - E:\Datos\Proyectos\Drac\PCB	SS\SAR(SANT	ANA\sargantanaPCB\sargantanaPCB.prj - [Sa	argantaPCB_Scher	natic]				-
File Edit View Setup Filters Tools Data C	Output	He	lp						
i 🗣 i X 🖻 🛍 🗠 - 🗠 - 🔝 🚍 i 👯 📜 i	IIA II		- 📜 🔁 🗸 🌡	🛯 🔛 💽 😽 🖓	- + -× X & & & ==]				
Navigator 👻 🖣 🗙					Trace Width (mm)	Tunical Immediance	Differentia		
🗉 🔠 Schemes		Δ	Scheme/Net Class/Layer			(Ohm)			
💷 Net Classes				Typical	Expansion	(Onm)	Typical Impedance (Ohm)	Spacing (mm)	Via Spacing
🕒 (Default)	E	Ð	Ø (Master)						
B 500hms		Ŧ	🖪 serdesDifferential	0,122	0,122		100	0,155	1,05
🖪 fmcDataAsic	E	Ð	🕅 (Minimum)						
📵 fmcDatafmc		Ξ	serdesDifferential	0,122	0,122			0,155	1,05
🖪 fmcDataSdifmc	E	Ð (ADC						
🖪 fmcOtherfmc		Ŧ	😝 serdesDifferential	0,122	0,122		100	0,155	1,05
globalPower	6	Ð	Y AND						
🖪 HyperRamData		Ŧ	serdesDifferential	0,122	0,122		100	0,155	1,05
🖪 lowSpeedSignal	Ē	Ð	ASIC						
B power2p5		Ŧ	🖪 serdesDifferential	0,122	0,122			0,155	1,05
🖪 power3p3	6	Ð (FMC						
B powerAsic_Core		Ŧ	🖪 serdesDifferential	0,122	0,122		100	0,155	1,05
serdesDifferential	E	Ð (Y HYPERRAM						
🗉 🔥 Clearances		Ŧ	serdesDifferential	0,122	0,122		100	0,155	1,05
🗉 🚟 Constraint Classes	E	Ð (SERDES_VIA_OVERLAY						
Parts		Œ	🔠 serdesDifferential	0,122	0,122		100	0,155	

(b)

Figura 11. Stackup del sistema introducido en Xpedition PCB. La figura 11a presenta los parámetros introducidos por el diseñador y que han sido proporcionados por el fabricante de la PCB. La figura 11b muestra el grosor de pista y la separación entre pistas diferenciales que se obtiene en el programa CES

En este caso (con el stackup anterior y para conseguir una impedancia diferencial de 100 Ω) las características de las líneas diferenciales son: grosor de las líneas de 122 μ m y separación de 155 μ m.



2.3. Sistema de alimentación de la PCB

Una de las principales funciones de la PCB es proporcionar la alimentación adecuada a cada uno de los elementos que la componen. En la siguiente tabla se incluyen las diferentes tensiones de alimentación que se requieren y los consumos estimados para dichas alimentaciones.

Iabla	I. Alimentación de los	unerentes modulos de	Id FUD
	Tensión (V)	Consumo (mA)	Potencia (mW)
Core	0.8	1000	800
Core IO	1.8	1000	1800
HyperRAM	1.8	500	900
Señales conector	2.5	100	250
FMC			
JTAG, UART, SD,	3.3	500	1650

La PCB se puede alimentar a través de una única fuente de 5 V, y a partir de esta generar, mediante los diferentes reguladores integrados en el sistema de caracterización, el resto de tensiones. También es posible conectar las diferentes entradas (3.3V, 2.5, 1.8, ...) de manera independiente y para cada una de las tensiones de trabajo. Es decir, se podrían alimentar independientemente las partes de 3.3 V, 2.5 V, 1.8 V, etc. Esto se muestra esquematizado en la figura Figura **12**.



Figura 12. Esquema del sistema de alimentación de la PCB.

Por sus características de simplicidad de diseño, estabilidad y bajo ruido se han utilizado reguladores de tensión lineales (LDO) para suministrar todas las tensiones de la PCB. Con el fin de poder utilizar una única fuente de 5 V para alimentar todo el sistema, se ha realizado un diseño en cascada (y distribuido) de las alimentaciones a fin de disminuir la caída de tensión que tiene que soportar cada LDO y que éstos trabajen dentro de unos márgenes adecuados de disipación de potencia (Figura 12).



Figura 13. Esquema de regulación de las diferentes alimentaciones requeridas para la PCB considerando los márgenes de disipación de potencia.

Los LDOs que se han utilizado han sido escogidos por su disponibilidad en el momento de realizar el diseño. Una de las mayores restricciones durante el diseño de la PCB ha sido la disponibilidad de componentes. Algunos de los componentes utilizados en el diseño de DVINO no han podido ser utilizados debido a su falta de suministro. Por ello, el criterio de selección de componentes ha sido, principalmente, su disponibilidad en el momento de realizar el diseño y por este mismo motivo, también se realizó la compra de muchos de los componentes antes de finalizar el diseño en previsión de una posible falta de inventario. La tabla II muestra los diferentes LDOs escogidos en función de la tensión que deben proporcionar

	i ai	na II. Seleccion de L	_DO3	
	3,3V	2,5V	1,8V	0,8V
Regulador	LD1085D2T33R	MIC61300YML-TR	MIC61300YML-TR	MIC61300YML-TR
usado				
Fijo/Variable	Fijo	Variable	Variable	Variable
Resistencias	No aplica	R1 = 120 Ohms	R1 = 133 Ohms	R1 = 30 Ohms
		R2 = 30 Ohms	R2 = 51 Ohms	R2 = 51 Ohms

Tabla II. Selección de LDOs

2.4. Componentes asociados al testeo del microprocesador

2.4.a. El zócalo del microprocesador, memoria HyperRAM

El zócalo utilizado para poder testear el microprocesador es de la empresa ARIES Electronics. Corresponde con un zócalo 15x15 (modelo 225-PRS15001-12) donde podemos colocar el chip. La memoria HyperRAM escogida corresponde con 6 módulos de 256 MBytes. La empresa fabricante es Winbond (modelo W958D8NBYA5I). El ruteado de las pistas entre microprocesador y memorias se ha realizado siguiendo las especificaciones de fabricante para minimizar los retrasos entre líneas y mantenimiento de las impedancias características y la integridad de la señal. Todo ello se ha simulado con la herramienta Hyperlynx. En el apartado de simulación se muestra alguna captura donde se aprecia la integridad de señal.

2.4.b. El conector FMC

El conector FMC integrado en esta PCB es de la empresa SAMTEC (modeloASP-134488-01). Es el adecuado para poder conectar nuestro PCB con las placas de desarrollo de Xilinx Kintex KC705. Este conector es el mismo que el que se usó en la anterior PCB de test (DVINO).



2.4.c. Relojes

El oscilador principal es el ECS-7050MV-1000-BN-TR. Está integrado en la PCB y proporciona una frecuencia de trabajo de 100 MHz. Está conectado directamente con el chip a través de un buffer clock de Texas Instruments: el LMK1C1103PWR. Dicho buffer se ha incluido para regenerar la señal y suministrar más corriente al chip. Se ha incluido un selector para decidir si se quiere hacer funcionar el sistema con este reloj o con una referencia externa.

El oscilador del ADC es el XLH735025.830000I. Es un oscilador que trabaja a una frecuencia de 25.8 MHz a 3.3V. El sistema incluye un multiplexor para poder seleccionar dicho oscilador o bien una fuente externa. También nos permite bajar la tensión a la señal de funcionamiento de los periféricos del microprocesador (1.8V).

El oscilador del SERDES es el 9FGV1002BQ506L. Proporciona una frecuencia de 125 MHz por defecto, aunque es programable por I2C. Su tensión de trabajo es de 1.8V.

2.4.d. Circuiteria asociada al ADC

Es el mismo circuito que el utilizado en DVINO Se ajustaron las tensiones de referencia para adaptarse a los requerimientos del microprocesador Sargantana.

2.4.e. Circuiteria asociada a la SDCard

Es el mismo circuito que el utilizado en DVINO. Únicamente se han adaptado los niveles de tensión de 3.3V (SDCard) a 1.8V (IO procesador) mediante conversores de nivel (TXB0104QPWRQ1).

2.4.f. Puertos de comunicaciones serie

La placa incluye conectores para comunicarse con el microprocesador mediante un puerto UART, otro JTAG, y dos SPI. Al igual que con la tarjeta SDCard, también se utilizan conversores de nivel para adaptar las señales de 3.3V a 1.8V.

El puerto SERDES del procesador comunica con el conector FMC.

Un conector permite la inclusión de una tarjeta de desarrollo MIKROE-4421 que incluye un módulo de memoria EEPROM 25CSM04 al que se puede acceder mediante SPI.

Se adjunta a este documento un apéndice con los esquemáticos de diseño y otro con el listado de componentes del mismo.



3. Fechas y coste de fabricación

La empresa escogida para la fabricación y montaje de los componentes es ROMPAL Ingenieros. Su selección fue debido a su capacidad de gestionar todo el proceso de creación de las PCBs (compra de componentes, fabricación de las PCBs, montaje de componentes), así como por ofrecer el precio más competitivo en la compra, fabricación y montaje de 4 PBCs del diseño Sargantana.

El coste de compra de parte de los componentes, fabricación de las PCBs (4 placas) y montaje de las mismas es de aproximadamente 3000 €, este precio no incluye componentes comprados con anterioridad y que ascienden a 1256.7 €. Así pues, el coste total de fabricación de 4 PCBs del diseño Sargantana sería de unos 4260 €

El tiempo de entrega de las PCBs inicialmente estimado por ROMPAL S.A. fue de aproximadamente 4 semanas. No obstante, desde que se realizó el pedido hasta que este fue finalmente entregado transcurrieron 8 semanas, ya que hubo componentes cuyo plazo de entrega fue superior al estimado por ROMPAL S.A.



4. Librerías e IPs relacionadas

El diseño se realiza con la herramienta de Siemens Xpedition Enterprise, cuyo diseño de fujo abarca todo el proceso de diseño de los prototipos, desde la creación de esquemáticos hasta la generación de los ficheros para la fabricación de la PCB.



Figura 14: Esquemático en DxDesigner







Xpedition Layout se integra con Siemens Hyperlynx que permite realizar simulaciones de integridad de señal en la fase de pre-layout y post-layout.



Figura 16: PCB exportada a Hyperlynx para realizar simulaciones de las señales de la PCB

Las simulaciones realizadas con Hyperlynx permiten comprobar que no hay problemas (o son negligibles) de integridad de señal o de crosstalk y que el comportamiento de las distintas señales que circulan por la placa es el deseado.



Figura 17 Señales en Hyperlynx



		Hy	perLynx Batch	Mode Repor	t				
nary	General Info Net Info Te	ermination Quick Analysis Crossta	alk						
lick	Analysis Cross	talk							
osstalk	Report - Quick Analysis								
C		alı Amahuala							
Cros	sstalk Report - Qui	ck Analysis				Search			
Cros	sstalk Report - Qui	ck Analysis		New Allowed Constants		Search			II- P-
Cros	sstalk Report - Qui _{Net}	ck Analysis	Aggressors	Max. Allowed Crosstalk [mV]	Total Cro	Search	F	🔳 🛙	II. <i>P</i> .
Cros	sstalk Report - Qui Net	Ck Analysis	Aggressors Ø Filter	Max. Allowed Crosstalk [mV] Filter	Total Cro	Search	Filter	i III	II ▼ /**
Cros # •	Net Sdram_clk	Elec. Assoc. Nets	Aggressors	Max. Allowed Crosstalk [mV] Filter 150.00	Total Cro Filter	Search	Filter	Pass / Fail Fail	H. / /*.

Figura 18 Informe de Hyperlynx de análisis de cross-talk

Si durante las simulaciones se detecta algún problema de integridad de señal o crosstalk (Figura 18), se procede a modificar el layout de la PCB (ampliando la separación entre señales o modificando el recorrido de las mismas) hasta que se minimiza o desaparece el problema detectado. En el caso de las líneas que van del ASIC a las memorias HyperRAM, las simulaciones permitieron seleccionar los elementos adecuados (circuito R-C) para minimizar los problemas de integridad de señal asociados a la desadaptación de impedancias entre las líneas de datos de la HyperRAM y el socket utilizado para el ASIC.

La figura Figura **19** muestra una simulación de la señal de reloj que va a las memorias HyperRAM. En la simulación se ha seleccionado un driver con una impedancia de 34 Ω , que es la impedancia configurada por defecto en los módulos HyperRAM, el driver utilizado proporciona una corriente de 12 mA. Los pads utilizados en el ASIC han sido configurados durante el diseño para que puedan proporcionar esta intensidad.



Figura 19. Simulación de la señal de reloj de la memoria HyperRAM



El programa Hyperlynx tiene la opción de sugerir elementos de terminación y/o de adaptación de impedancias. Utilizando esta opción se añade una resistencia en serie a la salida de la señal de reloj de la HyperRAM que sale del ASIC. El resultado de la simulación añadiendo una resistencia serie de 29 Ω es el que se muestra en la siguiente figura Figura **20**, en ella se aprecia la mejora en términos de integridad de la señal.



Figura 20. Simulación de la señal de reloj de la HyperRAM incluyendo elementos de adaptación de impedancias.



5. Referencias

Ares Electronics <u>https://www.areselectronics.es/</u> Rompal Ingenieros S.A. <u>https://rompal.es/</u> Siemens Xpedition Enterprise <u>https://eda.sw.siemens.com/en-US/pcb/xpedition-enterprise/</u> Siemens Hyperlynx <u>https://eda.sw.siemens.com/en-US/pcb/hyperlynx/</u>



6. Apéndice A (Esquemáticos de la placa Sargantana)

A continuación, se incluyen los esquemáticos de la PCB Sargantana que también pueden consultarse en el documento adjunto <u>SargantanaPCB Schematics.pdf</u>

6.1. ASIC





DRAC – Informe del desarrollo de la plataforma de test i la caracterización de los chips

6.2. ADC





6.3. CONECTOR FMC





6.4. Alimentación (1/2)(3.3, 2.5, 1.8, 0.8)





6.5. Alimentación (2/2)(BGBIAS PMOS, BGBIAS NMOS)









$6.7 \dot{.}$ Jumpers de selección / Reloj / PLL / SPI core







6.9. SERDES





7. Apéndice B (Listado de componentes de la placa Sargantana)

La lista de componentes de la PCB de Sargantana puede consultarse en el documento <u>SargantanaPCB Cmoponent List.pdf</u>

8. Apéndice C (Manual de usuario de la placa Sargantana)

El manual de usuario de la PCB de Sargantana puede consultarse en el documento <u>SargantanaPCB_User_Manual.pdf</u>



9. Apéndice D. Resultados

Las siguientes imágenes son fotografías de la placa Sargantana ya fabricada.



Imagen 1. Placa Sargantana bottom (izquierda), top (derecha)

Una vez recibida la PCB, se procedió a realizar una primera comprobación eléctrica de la misma a fin de verificar su correcto funcionamiento.

9.1. Pruebas eléctricas

El primer test eléctrico que se realizó sobre la PCB Sargantana (sin ASIC colocado) consistió en verificar los distintos voltajes de alimentación que suministran los distintos reguladores de tensión. Para ello se procedió a alimentar la placa de circuito impreso con una fuente de alimentación de 5V y se comprobaron las salidas de los distintos reguladores de tensión. Los resultados obtenidos fueron:

Fuente de alimentación 5V

Tensión reguladores 3.3V: 3.281 V (consumo 18.3 mA)

Tensión reguladores 2.5V: 2.485 V (consumo 83.3 mA)

Tensión reguladores 1.8V (core y periféricos): 1.802 V 1.793 V (consumo 28.1 mA)

Tensión regulador 0.8V: 0.791 (consumo 66.5 mA)

El consumo total de la placa sin colocar el ASIC es de unos 200 mA.

También se comprobaron las señales de los dos osciladores que se encuentran en la PCB (el oscilador de 100 MHz y el de 25.8 MHz). Se verificó que las señales de los osciladores llegan a los pines del socket con el nivel de tensión de 1.8V y con la frecuencia adecuada.









Figura 22. Señal del oscilador de 25.8 MHz después del convertidor de nivel a 1.8 V (Señal en el socket)



La tensión de los reguladores que proporcionan las tensiones de BGBIAS PMOS y BGBIAS NMOS también fue verificada resultando en valores de 0 V y -1.41 V respectivamente, según la configuración de resistencias utilizada y que permiten variar los valores de estas tensiones (ver Apéndice B (Listado de componentes de la placa Sargantana)

La lista de componentes de la PCB de Sargantana puede consultarse en el documento SargantanaPCB_Cmoponent_List.pdf

Apéndice C (Manual de usuario de la placa Sargantana))

Finalmente, también se comprobaron las tensiones de los reguladores que alimentan únicamente los pines del ADC/PLL y del SERDES, resultando en valores de 0.796V y de 0.793V respectivamente.